

Title

Japanese Laid-Open No. 2000-340798

Published

December 8, 2000



Inventor(s)

Shunpei Yamazaki

Concise Statement

To provide an electro-optical device having high operation performance and reliability, and a manufacturing method thereof.

A TFT structure which is strong against hot carrier injection is realized by disposing a L_{ov} region 207 in an n-channel TFT 302 which forms a driver circuit. Further, L_{off} regions 217 to 220 and offset region are disposed in an n-channel TFT 304 which forms a pixel section, and a TFT structure of low OFF current value is realized. Further, by reducing the n-type impurity element contained in L_{off} regions 217 to 220 to approximately 1×10^{10} to 5×10^{18} atoms cm⁻³, further reduction of OFF current can be performed.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-340798
(P2000-340798A)

(43)公開日 平成12年12月8日(2000.12.8)

(51) Int.Cl.⁷
H 01 L 29/786
G 02 F 1/1368
G 09 F 9/30 3
H 01 L 21/20
21/322

別記号

F 1
H O 1 L 29/78 6 1 2 B
G 0 9 F 9/30 3 3 8
H O 1 L 21/20
21/322 R
27/08 3 3 1 E

審査請求 未請求 請求項の数21 O.L (全 31 頁) 最終頁に統ぐ

(2) 出願番号 特願2000-72631(P2000-72631)

(71) 出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(22)出願日 平成12年3月15日(2000.3.15)

(72)發明者 山崎 舜平

(31) 優先権主張番号 特願平11-76967

神奈川県厚木市長谷398番地 株式会社

(32) 優先日 平成11年3月19日(1999.3.19)

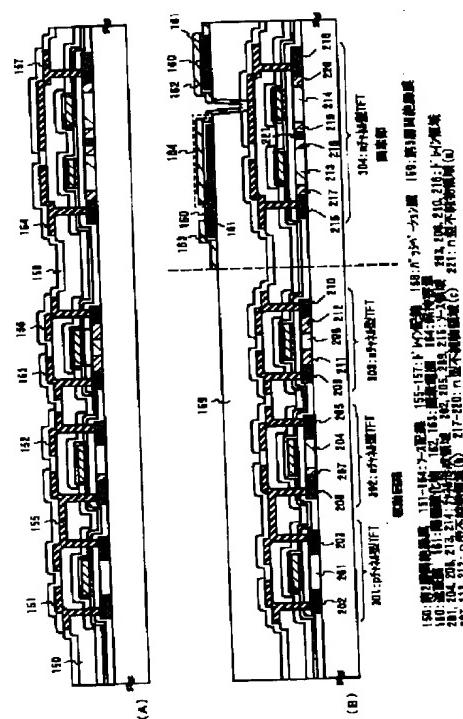
(33) 優先權主張國 日本 (J P)

(54) [発明の名称] 重氣光学装置及びその作製方法

(57) 【要約】

【課題】 動作性能および信頼性の高い電気光学装置およびその作製方法を提供する。

【解決手段】 駆動回路を形成するnチャネル型TFT 302にはLox領域207が配置され、ホットキャリア注入に強いTFT構造が実現される。また、画素部を形成するnチャネル型TFT 304にはLoft領域217～220及びオフセット領域が配置され、低オフ電流値のTFT構造が実現される。また、Loft領域217～220に含まれるn型不純物元素を $1 \times 10^{16} \sim 5 \times 10^{18}$ atoms/cm³程度まで低くすることで、さらにオフ電流値を低減できる。



【特許請求の範囲】

【請求項1】同一基板上に画素部及び駆動回路を含む電気光学装置において、前記駆動回路を形成するnチャネル型TFTのLDD領域は、一部または全部が該nチャネル型TFTのゲート配線とゲート絶縁膜を挟んで重なるように形成され、配線とゲート絶縁膜を挟んで重なるように形成され、前記画素部を形成する画素TFTのLDD領域は、該画素TFTのゲート配線とゲート絶縁膜を挟んで重ならないように形成され、前記画素TFTのnチャネル形成領域及びLDD領域の間に前記駆動回路には、LDD領域の全部がゲート配線とゲート絶縁膜を挟んで重なるように形成された第1のnチャネル型TFTと、LDD領域の一部がゲート配線とゲート絶縁膜を挟んで重なるように形成された第2のnチャネル型TFTとを有し、

前記画素TFTのnチャネル形成領域及びLDD領域の間に前記駆動回路には、LDD領域の全部がゲート配線とゲート絶縁膜を挟んで重なるように形成された第1のnチャネル型TFTと、LDD領域の一部がゲート配線とゲート絶縁膜を挟んで重なるように形成された第2のnチャネル型TFTとを有し、

前記駆動回路を形成するnチャネル型TFTのLDD領域は、一部または全部が該nチャネル型TFTのゲート配線とゲート絶縁膜を挟んで重なるように形成され、配線とゲート絶縁膜を挟んで重なるように形成され、前記画素部を形成する画素TFTのLDD領域は、該画素TFTのゲート配線とゲート絶縁膜を挟んで重ならないように形成され、

前記画素部の保持容量は有機樹脂膜の上に設けられた遮蔽膜、該遮蔽膜の酸化物および画素電極で形成されており、前記画素TFTのnチャネル形成領域及びLDD領域の間に前記駆動回路には、nチャネル形成領域及びLDD領域の間に前記駆動回路には、nチャネル形成領域及びLDD領域の間に

前記画素TFTのnチャネル形成領域及びLDD領域の間に前記駆動回路には、nチャネル形成領域及びLDD領域の間に

前記駆動回路を形成するnチャネル型TFTのLDD領域よりも高い濃度でn型不純物元素が含まれることを特徴とする電気光学装置。

【請求項3】請求項1または請求項2において、前記駆動回路を形成するnチャネル型TFTのLDD領域よりも高い濃度でn型不純物元素が含まれることを特徴とする電気光学装置。

【請求項4】請求項1または請求項2において、前記駆動回路を形成するnチャネル型TFTのLDD領域に比べて2～10倍の濃度でn型不純物元素が含まれることを特徴とする電気光学装置。

【請求項5】請求項1または請求項2において、前記駆動回路を形成するnチャネル型TFTのLDD領域には $2 \cdot 10^{16} \sim 5 \cdot 10^{19} \text{ atoms/cm}^2$ の濃度範囲でn型不純物元素が含まれ、前記画素TFTのLDD領域には $1 \cdot 10^{16} \sim 5 \cdot 10^{18} \text{ atoms/cm}^2$ の濃度範囲でn型不純物元素が含まれていることを特徴とする電気光学装置。

【請求項6】同一基板上に画素部及び駆動回路を含む電気光学装置において、

前記駆動回路には、LDD領域の全部がゲート配線とゲート絶縁膜を挟んで重なるように形成された第1のnチャネル型TFTと、LDD領域の一部がゲート配線とゲート絶縁膜を挟んで重なるように形成された第2のnチャネル型TFTとを有し、前記画素部を形成する画素TFTのLDD領域は、該画素TFTのゲート配線とゲート絶縁膜を挟んで重ならないように形成され、

いように配置され、前記画素TFTのnチャネル形成領域及びLDD領域の間にオフセット領域が形成されていることを特徴とする電気光学装置。

【請求項7】同一基板上に画素部及び駆動回路を含む電気光学装置において、前記駆動回路には、LDD領域の全部がゲート配線とゲート絶縁膜を挟んで重なるように形成された第1のnチャネル型TFTと、LDD領域の一部がゲート配線とゲート絶縁膜を挟んで重なるように形成された第2のnチャネル型TFTとを有し、

前記画素部を形成する画素TFTのLDD領域は、該画素TFTのゲート配線とゲート絶縁膜を挟んで重ならないように配置され、

前記画素部の保持容量は有機樹脂膜の上に設けられた遮蔽膜、該遮蔽膜の酸化物および画素電極で形成されており、

前記画素TFTのnチャネル形成領域及びLDD領域の間にオフセット領域が形成していることを特徴とする電気光学装置。

【請求項8】請求項6または請求項7において、前記第1のnチャネル型TFTのLDD領域及び又は前記第2のnチャネル型TFTのLDD領域には、前記画素TFTのLDD領域よりも高い濃度でn型不純物元素が含まれることを特徴とする電気光学装置。

【請求項9】請求項6または請求項7において、前記第1のnチャネル型TFTのLDD領域及び又は前記第2のnチャネル型TFTのLDD領域には、前記画素TFTのLDD領域に比べて2～10倍の濃度でn型不純物元素が含まれることを特徴とする電気光学装置。

【請求項10】請求項6または請求項7において、前記第1のnチャネル型TFTに形成されるLDD領域は、該第1のnチャネル型TFTのドレイン領域とチャネル領域との間に形成され、前記第2のnチャネル型TFTのnチャネル形成領域との間に形成されるLDD領域は、該第2のnチャネル型TFTのチャネル形成領域を挟んで形成されることを特徴とする電気光学装置。

【請求項11】請求項6又は請求項7において、前記第1のnチャネル型TFTのLDD領域及び又は前記第2のnチャネル型TFTのLDD領域には $2 \cdot 10^{16} \sim 5 \cdot 10^{19} \text{ atoms/cm}^2$ の濃度範囲でn型不純物元素が含まれ、前記画素TFTのLDD領域には $1 \cdot 10^{16} \sim 5 \cdot 10^{18} \text{ atoms/cm}^2$ の濃度範囲でn型不純物元素が含まれ、前記画素TFTのLDD領域には $1 \cdot 10^{16} \sim 5 \cdot 10^{18} \text{ atoms/cm}^2$ の濃度範囲でn型不純物元素が含まれることを特徴とする電気光学装置。

【請求項12】請求項1、請求項2、請求項6または請求項7のいずれか一において、前記オフセット領域は該オフセット領域に接したチャネル形成領域と同一組成の半導体膜からなることを特徴とする電気光学装置。

【請求項13】請求項1、請求項2、請求項6または請求項7のいずれか一において、前記オフセット領域には

$1 \times 10^{15} \sim 1 \cdot 10^{18}$ atoms/cm³ の濃度範囲で p 型不純物元素が含まれることを特徴とする電気光学装置。

【請求項1-4】請求項2または請求項3において、前記遮蔽膜はガリニウム膜またはアルミニウムを主成分とする膜であることを特徴とする電気光学装置。

【請求項15】請求項2または請求項7において、前記酸化物とは酸化アルミニウム膜であることを特徴とする電気光学装置。

【請求項16】請求項1乃至請求項15のいずれか一に
おいて、前記画面部にE上幕子を行することを特徴とす
る電気光学装置。

【請求項17】請求項1乃至請求項16のいずれか一に記載の電気光学装置を表示部として用いたことを特徴とする清拭器具。

【請求項18】同一基板上に画素部及び駆動回路を中心電気光学装置の作製方法において、前記駆動回路を形成するロチヤネル型TFTの活性層に $2 \cdot 10^{16} \sim 5 \cdot 10^{19}$ atoms/cm²の濃度範囲でロ型不純物元素を含む領域を形成する工程(A)と、前記駆動回路を形成するロチヤネル型TFTの活性層に $1 \cdot 10^{20} \sim 1 \cdot 10^{21}$ atoms/cm²の濃度範囲でロ型不

純物元素を含む領域を形成する工程(B)と、前記駆動回路を形成する栅チャネル型TFTの活性層に3・ 10^{20} ～ $3\cdot 10^{21}$ atoms/cm³の濃度範囲でD型不純物元素を含む領域を形成する工程(C)と、前記画素部を形成する画素TFTの活性層に1・ 10^{16} ～5・ 10^{18} atoms/cm³の濃度範囲でD型不純物元素を含む領域を形成する工程(D)と、を有し、前記工程(D)は、珪素を含む絶縁膜で覆われたゲート配線をマスクにしてD型不純物元素を添加することによ

に用いられる特徴とする電気光学装置の作製方法。
第1章では、第1基板上に画素部及び駆動回路を含む

【請求項19】前記装置において、
電気光学装置の作製方法において、
前記駆動回路を形成するPチャネル型TFTの活性層に
 $2 \times 10^{16} \sim 5 \times 10^{19}$ atoms/cm³の濃度範囲でN型不
純物元素を含む領域を形成する工程（A）と、
前記駆動回路を形成するPチャネル型TFTの活性層に
 $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³の濃度範囲でP型不
純物元素を含む領域を形成する工程（B）と、
前記駆動回路を形成するPチャネル型TFTの活性層に
 $3 \times 10^{20} \sim 3 \times 10^{21}$ atoms/cm³の濃度範囲でP型不
純物元素を含む領域を形成する工程（C）と、
前記駆動回路を形成する画素TFTの活性層に 1×10^{16}
 $\sim 5 \times 10^{18}$ atoms/cm³の濃度範囲でN型不純物元素を
含む領域を形成する工程（D）と、を有し、
前記工程（D）によってN型不純物領域（c）及び該N
型不純物領域（c）に接したオフセット領域が形成され
ることを特徴とする電気光学装置の作製方法。

【請求項20】 請求項18において、前記柱素を含む絕縁膜の膜厚は25～100nmであることを特徴とする

電気光学装置の作製方法。

【請求項21】請求項19において、前記オフセット領域は、前記画素下正Tの活性層に珪素を含む絶縁膜で覆われたゲート配線をマスクにして正性不純物光露を添加することにより形成されることを特徴とする電気光学装置の作製方法。

【発明の詳細な説明】

$$[(0\;0\;0\;1)]$$

【発明の属する技術分野】本発明は絶縁表面を有する基板上に薄膜トランジスタ(以下、TFTといふ)で構成された回路を有する半導体装置およびその作製方法に関する。特に本発明は、画素部(画素回路)とその周辺に設けられる駆動回路(制御回路)を同一基板上に設けた液晶表示装置、主にエレクトロルミネッセンス表示装置に代表される電気光学装置(電気光学装置ともいふ)、および電気光学装置を搭載した電気器具(電子機器ともいふ)に関する。

【0002】尚、本願明細書において半導体装置とは、半導体特性を利用して機能する装置を般に指し、上記電気光学装置およびその電気光学装置を搭載した電気器具も半導体装置に含まれる。

[() () () : ?]

【逆張の技術】複数表面を有する基板上にTFTで形成した大面积積集積回路を有する半導体装置の開発が進んでいます。アクリチックマトリクス型液晶表示装置、EL表示装置、および蓄音盤ディスクセレクタはその代表例として知られています。特に、結晶質シリコン膜（典型的にはポリシリコン膜）を活性層にしたTFT（以下、ポリシリコンTFTと記す）は電界効果移動度が高いことから、このような機能回路を形成することも可能である。

【0.0.0.1】 例えは、アクティワトライク不整脈波表示装置には、機能ブロックごとに画像表示を行う画素部や、CMOS回路を基板としたソフトレジスタ、レジルシフタ、ハッフル、サンプリング回路などの画素部を制御するための駆動回路（周辺駆動回路とも呼ばれる）が一枚の基板上に形成される。

【0000】このような駆動回路はそれそれにおいて動作条件が必ずしも同一でないので、当然下下下に要求される特性も少なからず異なっている。画素部においては、スイッチ奉子として機能する画素下下下と補助の保持容量を設けた構成であり、液晶に電圧を印加して駆動させることである。ここで、液晶は交流で駆動させる必要があり、フレーム反転駆動と呼ばれる方式が多く採用されている。従って、要求される下下下の特性はオフ電流値（下下下がオフ動作時に流れる下レイン電流値）を十分低くさせておく必要があった。また、ハイドは高い駆動電圧が印加されるため、高電圧がかかっても壊れない程度にまで耐圧を高めておく必要があった。また電流駆動能力を高めるために、オン電流値（下下下がオン動作時に流れる下レイン電流値）を十分確保する必要が

あった。

【0006】しかし、ポリシリコン TFT の寸²電流値は高くなりやすいといった問題点がある。また、ICなどで使われる MOSトランジスタと同様にポリシリコン TFT には寸²電流値の低下といった劣化現象が観測される。主たる原因はホットキャリア注入であり、ドレイン近傍の高電界によって発生したホットキャリアが劣化現象を引き起こすものと考えられている。

【0007】オフ電流値を低減するためのドライドの構造として、低濃度ドレイン（LDD; Lightly Doped Drain）構造が知られている。この構造はチャネル形成領域と、高濃度に不純物が添加されるノース側域またはドレイン領域との間に低濃度の不純物領域を設けたものであり、この低濃度不純物領域はLDD領域と呼ばれている。

【0.0.0.8】また、ホットキャリヤ注入によるオフ電流値の劣化を防ぐための構造として、いわゆるG(O)LD（Gate-drain Overlapped LDD）構造が知られている。この構造は、LDD領域がゲート絶縁膜を介してゲート配線と重なるように配置されているため、ドレイン近傍のホットキャリヤ注入を防ぎ、信頼性を向上させるのに有効である。例えば、Mutsuko Hayano, Hayame Akimoto and Takeshi Sakai IEDM97 TECHNICAL DIGEST p523-526 1997 では、シリコンで形成したサイドワールドによくG(O)LD構造を構成しているが、他の構造のTFETと比べ、きわめて優れた信頼性が得られることが確認されている。

【0009】また、アクティワスマトリクスを複数基小部構成の画面部には、数十から数百万画素の各画素にTFTを配置し、そのTFTのそれぞれには画素電極が設けられ、液晶を持った対向基板側には対向電極が設けられている。液晶を持った対向基板側には対向電極が設けられており、液晶を誘電体とした一種のコンデンサを形成している。そして、各画素に印加する電圧をTFTのスイッチング機能により制御して、このコンデンサへの電荷を制御することで液晶を駆動し、透過光量を制御して画像を表示する仕組みになっている。

【0010】ところが、このコンデンサはオフ電流値等に起因するリーク電流により次第にその蓄積容量が減少するため、透過光量が変化して画像表示のコントラストを低下させる原因となっていた。そこで、従来では容量を配線を設けて、液晶を誘電体とするコンデンサとは別のコンデンサ（保持容量）を並列に設け、液晶を誘電体とするコンデンサが損失する容量を補っていた。

[0 0 1 1]

【発明が解決しようとする課題】しかししながら、画素TFTの TFT(以下、画素TFTといふ)と、ソフトレススタやバッファなどの駆動回路の TFT(以下、駆動TFTといふ)とでは、その要求される特性は必ずしも同じではない。例えば、画素TFTにおいては、ゲート配線に大きな逆ハイドス(n-チヤネリ型TFTであればマイ

(ナス) 電圧が印加されるが、駆動回路のTFTは基本的に逆バイアス電圧が印加されて動作されることはない。また、前者の動作速度は後者ほど高いものが要求されない。

【0012】また、GOLDD構造は確かに電流値の劣化を防ぐ効果は高いが、反而、通常のLTD構造に比べてナフ電流値が大きくなってしまら問題があった。従って、特に画素上下間にあっては好ましい構造とは言えなかつた。逆に通常のLTD構造はナフ電流値を抑える効果は高いが、ホットキャリア注入には弱いことが知られていた。

【0013】このように、アクティバマトリクス電気光学装置表示装置のような複数の電気回路を有する電気光学装置において、全ての上下下上構造で形成することは必ずしも好ましくない。

【(001-1)】さらに、従来例に示したように画素間に等量配線を用いた保持容量を形成して十分な容量を確保しようとすると、開口率（一画素の面積に対して画像表示が可能な面積の割合）を犠牲にしなければならなかつた。特に、ワロニエクター型表示装置に用いられるような小型の高精細ハサウでは、一画素当たりの画素面積も小さいため、容量配線による開口率の低下は問題となつた。

【0015】本発明はこのような課題を解決するための技術であり、電気光学装置の駆動回路や印表部に配置される上下手の構造を、その機能に応じて適切なものとせることにより、電気光学装置の動作性能および信頼性を向上させることを目的とする。また、そのような電気光学装置を実現するための作製方法を提供することを課題とする。

【0016】また、他の目的として画素部を有する電気光学基盤において、画素に設けられる保持容量の面積を縮小化し、開口率を向上させるための構造を提供することを目的とする。また、そのような画素部の作製方法を提供する。

[()] $\tilde{}$

【課題を解決するための手段】上記問題点を解決すべく
ために本発明の構成は、同一基板上に画素部及び駆動回路
を含む電気光学装置において、前記駆動回路を形成する
チャネル型TFTのSLD領域は、一部または全部が
該チャネル型TFTのケート配線とゲート絶縁膜を挟
んで重なるように形成され、前記画素部を形成する画素
TFTのSLD領域は、該画素TFTのゲート上配線とゲ
ート絶縁膜を抜んで重ならないように形成され、前記画
素TFTのチャネル形成領域及びSLD領域の間には才
ノリ上傾城が形成されていることを特徴とする。

【0018】上記構成において、前記駆動回路を構成する音子チャネル型TFTのLCD領域には、前記画素 TFTのLCD領域よりも高い濃度で、型不純物元素が含まれることが好ましい。具体的には、前記画素 TFTのLCD

DD領域よりも2～10倍の濃度が好ましい。さらに具体的には、前記駆動回路を形成するnチャネル型TFTのLDD領域には $2 \cdot 10^{16} \sim 5 \cdot 10^{19}$ atoms/cm³の濃度範囲でn型不純物元素が含まれ、前記画素TFTのLDD領域には $1 \cdot 10^{16} \sim 5 \cdot 10^{18}$ atoms/cm³の濃度範囲でn型不純物元素が含まれる。

【0019】また、他の発明の構成は、同一基板上に画素部及び駆動回路を含む電気光学装置において、前記駆動回路には、LDD領域の全部がゲート配線とゲート絶縁膜を挟んで重なるように形成された第1のnチャネル型TFTと、LDD領域の一部がゲート配線とゲート絶縁膜を挟んで重なるように形成された第2のnチャネル型TFTとを有し、前記画素部を形成する画素TFTのLDD領域は、該画素TFTのゲート配線とゲート絶縁膜を挟んで重ならないように配置され、前記画素TFTのチャネル形成領域及びLDD領域の間にはオフセット領域が形成されていることを特徴とする。

【0020】上記構成において、前記第1のnチャネル型TFTのLDD領域及び、又は前記第2のnチャネル型TFTのLDD領域には、前記画素TFTのLDD領域よりも高い濃度（具体的には2～10倍）でn型不純物元素が含まれる。

【0021】また、前記第1のnチャネル型TFTに形成されるLDD領域は、該第1のnチャネル型TFTに形成されるLDD領域とチャネル形成領域との間に形成され、前ドレイン領域とチャネル形成領域との間に形成されるLDD領域は、該第2のnチャネル型TFTのチャネル形成領域を挟んで形成されることが好ましい。

【0022】また、本発明の構成を実現するための作製工程に関する構成は、同一基板上に画素部及び駆動回路を含む電気光学装置の作製方法において、前記駆動回路を形成するnチャネル型TFTの活性層に $2 \cdot 10^{16}$ 路を形成するnチャネル型TFTの活性層に $2 \cdot 10^{16}$ atoms/cm³の濃度範囲でn型不純物元素を $\sim 5 \cdot 10^{19}$ atoms/cm³の濃度範囲を形成する工程（A）と、前記駆動回路を形成する工程（B）と、前記nチャネル型TFTの活性層に $1 \cdot 10^{20} \sim 1 \cdot 10^{21}$ atoms/cm³の濃度範囲でn型不純物元素を含む領域を形成する工程（C）と、前記画素部を形成する画素TFTの活性層に $3 \cdot 10^{20} \sim 3 \cdot 10^{21}$ atoms/cm³の濃度範囲でn型不純物元素を含む領域を形成する工程（D）と、前記画素部を形成する画素TFTの活性層に $1 \cdot 10^{16} \sim 5 \cdot 10^{18}$ atoms/cm³の濃度範囲でn型不純物元素を含む領域を形成する工程（E）と、ゲート配線をマスクにしてn型不純物元素を添加することにより行なわれることを特徴とする。

【0023】なお、この構成において、（A）～（D）の各工程の順序は適宜変更しても構わない。どのような順序としても、最終的に形成されるTFTの基本的な機能は変化せず、本発明の効果を損なうものではない。

【0024】

【発明の実施の形態】本発明の実施の形態について、以下に示す実施例も含めて詳細な説明を行うこととする。

【0025】【実施例1】本発明の実施例について図1～図4を用いて説明する。ここでは、同一基板上に画素部とその駆動部を構成するための駆動回路とを同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路では、ソフトレジスタ、パッファ等の基盤上に、CMOS回路と、センサリング回路を形成するnチャネル型TFTとを図示することとする。

【0026】図1（A）において、基板101には、石英基板やシリコン基板を使用することが望ましい。本実施例では石英基板を用いる。その他にも金属基板またはステンレス基板の表面に絶縁膜を形成したものを基板としても良い。本実施例の場合、800°C以上の温度に耐える耐熱性を要求されるので、それを満たす基板であればどのような基板を用いても構わない。

【0027】そして、基板101のTFTが形成される表面には、2.0～1.00μm（好ましくは4.0～8.0μm）の厚さの非晶質構造を含む半導体膜102を減圧熱法、CVD法、プラズマCVD法またはスパッタ法で形成する。なお、本実施例では6.0μm厚の非晶質シリコン膜である。また、本実施例では熱酸化工程があるが、この膜厚が最終的なTFTの活性層の膜厚になるわけではない。

【0028】また、非晶質構造を含む半導体膜として、非晶質半導体膜、微結晶半導体膜があり、さらには非晶質シリコンケーブル、ウエーブなど、非晶質構造を含む化合物半導体膜も含まれる。さらに、基板上に下地膜と非晶質シリコン膜とを大気開放しないで連続的に形成する晶質シリコン膜とを大気開放しないで連続的に形成する晶質シリコン膜とを交互に形成することにより基板表面の汚染とも有効である。それによって基板表面の汚染が非晶質シリコン膜に影響を与えないようになることが可能となり、作製されるTFTの特性バラツキを低減させることができることとなる。

【0029】次に、非晶質シリコン膜102上に珪素（シリコン）を含む絶縁膜でなるマスク膜103を形成し、ハーナニングによって開口部103a、103bを形成する。この開口部は、次の露浴化工程の際に結晶化を助長（促進）する触媒元素を添加するための添加領域となる。（図1（A））

【0030】なお、珪素を含む絶縁膜としては、酸化シリコン膜、空化シリコン膜、空化酸化シリコン膜を用いることができる。空化酸化シリコン膜は、珪素、空素及び酸素を所定の量で含む絶縁膜であり、SiO_xN_yで表される絶縁膜である。空化酸化シリコン膜はSi:Hを含む触媒元素を添加するための添加領域となる。N₂O及びNH₃を原料ガスとして作製することができる。含有する珪素濃度が2.5atom%以上5.0atom%未満とするのが良い。

【0031】また、このマスク膜103のハーナニングを行なう同時に、後のハーナニング工程の基準となるマーカーパターンを形成しておく。マスク膜103をエッチングする際に非晶質シリコン膜102も僅かにエッチ

ングされるが、この段差が後にマスク合わせの時にペーパータイプとして用いることになります。

カーバターンとして用いる。【0032】次に、特開平10-247735号公報(長岡市源彌号り9-034、041に対応)に記載された技術に従って、結晶構造を含む半導体膜を形成する。同公報記載の技術は、非晶質構造を含む半導体膜の結晶化に際して、結晶化を助長する触媒元素(ニッケル、コバルト、ゲリマニウム、錫、鉛、ハラジウム、鉄、銅から選ばれた一種または複数種の元素)を用いる結晶化手段である。

【0033】具体的には、非品質構造を含む半導体膜の表面に触媒元素を保持させた状態で加熱処理を行い、非品質構造を含む半導体膜を、結晶構造を含む半導体膜に変化させるものである。なお、結晶化手段としては、特開平7-13065号公報の実施例1に記載された技術を用いても良い。また、結晶構造を含む半導体膜には、いわゆる単結晶半導体膜も多結晶半導体膜も含まれるが、同公報で形成される結晶構造を含む半導体膜は結晶粒界を有している。

【0035】また、非晶質シリコン膜は含有水素量にもよるが、好ましくは400～500°Cで1時間程度の加熱処理を行い、水素を十分に脱離させてから結晶化させることを望ましい。その場合、含有水素量を10ppm以下とすることが好ましい。

【0036】結晶化工程は、まず100～500°C、1時間程度の熱処理工程を行い、水素を膜中から脱離させた後、500～650°C（好ましくは550～600°C）で6～16時間（好ましくは8～14時間）の熱処理を行なう。

【(1) (3-7)】本実施例では、触媒充填としてニッケルを用いて1時間の熱処理を行う。その結果、用い、570にて1時間の熱処理を行う。その結果、開口部10-4a、10-1bを起点として概略基板と平行な方向（矢印で示した方向）に結晶化が進行し、巨視的な結晶成長方向が描かれた結晶構造を含む半導体膜（本実施例では結晶質シリコン膜）10-5a～10-5dが形成される。（図1-(B)）

【0038】次に、結晶化の工程で用いたニッパーを用いてシリコン膜から除去するゲッタリング工程を行う。本実施例では、先ほど形成したマスク膜103をそのままマスクとして周期表の13種に属する元素（本実施例ではリン）を添加する工程を行い、開口部104a、104bで露出した結晶質シリコン膜に $1 \times 10^{19} \sim 1 \times 10^{20}$ atoms/cm³の濃度でリンを含むリン添加領域（以下、ゲッタリング領域といふ）106a、106bを形成する。（図1（C））

【0039】次に、空素雰囲気中で450~650°C

(好ましくは500~550°C)、1~2.1時間(好ましくは6~12時間)の熱処理工程を行う。この熱処理工程により結晶質シリコン膜中のニッケルは実印の方向に移動し、リソのゲッタリング作用によってゲッタリング領域1.06a、1.06dに捕獲される。即ち、結晶質シリコン膜中からニッケルが除去されるため、ゲッタリング後の結晶質シリコン膜1.07a~1.07dに含まれるニッケル濃度は、 $1 \times 10^{-17} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{-16} \text{ atoms/cm}^3$ にまで低減することができる。

【0.040】次に、マスク膜1.03を除去し、結晶質シリコン膜1.07a～1.07d上に後の不純物添加時のための保護膜1.08を形成する。保護膜1.08は1.00～2.00μm（好ましくは1.30～1.70μm）の厚さの酸化シリコン膜または酸化シリコン膜を用いると良い。この保護膜1.08は不純物添加時に結晶質シリコン膜が直接アラブで曝されないようにするためと、微妙な濃度制御を可能にするための意味がある。

【0041】そして、その上にレシストマスク109を形成し、保護膜108を介してD型を付与する不純物元素（以下、D型不純物元素といふ）を添加する。D型不純物元素としては、代表的には周期表の13族に属する元素、典型的にはホウ素またはカリウムを用いることが元素、典型的にはホウ素またはカリウムを用いることができる。この工程（チャップルドーフ工程といふ）はTFである。この工程（チャップルドーフ工程といふ）はTFである。なお、TFのしきい値電圧を制御するための工程である。なお、TFのしきい値電圧を制御するための工程である。ここでシオラン（B₂H₆）を質量分離しないでプラスで初期したオシロスコープ法で分析¹⁾を実験する。勿論、初期したオシロスコープ法で分析¹⁾を実験する。勿論、初期したオシロスコープ法で分析¹⁾を実験する。

【0.012】この工程により $1 \times 10^{15} \sim 1 \times 10^{16}$ atoms/cm³ (代表値には $5 \times 10^{16} \sim 5 \times 10^{17}$ atoms/cm³) の濃度で \pm 型不純物元素（本実施例ではホロン）を含む不純物領域 1×10^a 、 1×10^b を形成する。なお、本明細書中では上記濃度範囲で \pm 型不純物元素を含む不純物領域（但し、 \pm には含まれていない領域）を \pm 型不純物領域（±）と記述する。（図1-12）

【0043】次に、レジストマスク109を除去し、結晶質シリコン膜をハーフエングルで馬毛の半導体層(以下、活性層といふ)111～114を形成する。なお、活性層111～114は、ニッケルを選択的に添加して結晶化することによって、非常に結晶性の良い結晶質シリコン膜で形成されている。具体的には、棒状または柱状の結晶形、特定の方向性を持って並んだ結晶構造を有する。

(E) 〔0011〕また、p-チヤネル型TFTの屈性層1111は意図的に添加された不純物元素を含まない領域であり、p-チヤネル型TFTの屈性層112～114はp型

不純物領域(1)となっている。本明細書中では、この状態の活性層111～114は全て真性または実質的に真性であると定義する。即ち、TFTの動作に支障をきたさない程度に不純物元素が意図的に添加されている領域を実質的に真性な領域と考えて良い。

【0015】次に、プラスマCVD法またはスパッタ法により10~100nm厚の珪素を含む絶縁膜を形成する。本実験例では、30nm厚の窒化酸化シリコン膜を形成する。この珪素を含む絶縁膜は、他の珪素を含む絶縁膜を堆積または積層で用いても構わない。

【0.0.1.6】次に、800～1150℃（好ましくは900～1000℃）の温度で15分～8時間（好ましくは30分～2時間）の熱処理工程を、酸化性雰囲気下で行う（熱酸化工程）。本実施例では酸素雰囲気中に3体積%の塩化水素を添加した雰囲気中で950℃80分の熱処理工程を行う。なお、図1(D)の工程で添加されたボロジンはこの熱酸化工程の間に活性化される。（図2）

(1)

【00-17】なお、酸化性窒素氣としては、トノイ酸素
窒素氣でもウエット酸素窒素氣でも良いが、半導体脱水
の結晶欠陥の低減にはドライ酸素窒素氣を適している。
また、本実施例では酸素窒素氣中にハロゲン元素を含ま
せた窒素氣としたが、100%酸素窒素氣で行っても構
成しない。

【00048】この酸化工程の間、珪素を含む地盤灰を
その下の活性層111～111との界面においても酸化
反応を進行する。本願発明ではそれを考慮して最終的に
形成されるケート地縫膜115の膜厚が5.0～20.0nm
（好ましくは10.0～15.0nm）となるように調節す
る。本実施例の熱酸化工程では、6.0nmの活性層の
うち2.0nmが酸化されて活性層111～114の膜厚
は1.5nmとなる。また、3.0nm厚の珪素を含む地縫
膜に対して5.0nm厚の熱酸化膜が加わるので、最終的
なケート地縫膜115の膜厚は11.0nmとなる。

【0049】次に、新たにレシットマスク116～119を形成する。そして、η型を付与する不純物元素（以下、η型不純物元素といふ）を添加してη型を呈する不純物領域120～122を形成する。なお、η型不純物元素としては、代表的には周期表の15族に属する元素、典型的にはリンまたは砒素を用いることができる。

(132 : B))

【0.050】この不純物領域120～122は、後にい
MOS回路およびサンフリーナ回路のnチャネル型TF
Tにおいて、LDD領域として機能させるための不純物
領域である。なお、ここで形成された不純物領域にはn
型不純物元素が $2 \cdot 10^{16} \sim 5 \cdot 10^{19} \text{atoms/cm}^3$ （代
表的には $5 \cdot 10^{17} \sim 5 \cdot 10^{18} \text{atoms/cm}^3$ ）の濃度で
含まれている。本明細書中では上記濃度範囲でn型不純
物元素を含む不純物領域をn型不純物領域（b）と定義
する。

【0051】なお、ここではフォスフイン(PII3)を質量分離しないでラスマ射起したイオンドープ法でリンを $1 \times 10^{18} \text{ atoms/cm}^3$ の濃度で添加する。勿論、質量分離を行なうイオニシーフランテーション法を用いても良い。この工程では、ケート膜上に介して結晶質シリコニア膜にリンを添加する。

【0052】次に、600～1000°C (好ましくは700～800°C) の不活性雰囲気中で熟処理を行い、図2-(B) の工程で添加されたりんを活性化する。本実施例では800°C 1時間の熟処理を窒素雰囲気中で行う。

(圖二 (C))

【0053】この時、同時にリソの表面間に接触した活性層及び活性層とゲート絶縁膜との界面を修復する事が可能である。この活性化工程は電熱が用いたフラー・ネスアニールが好ましいが、ランツアニールやレーザー・アニールといった光アニールを併用しても良い。

【0051】この工程により、自型不純物領域（b）と
0～122の境界部、即ち、自型不純物領域（b）の周
圍に存在する真性又は実質的に真性な領域（勿論、P型
不純物領域（b）も含む）との接合部が明確になる。こ
のことは、後に下下作が完成した時点でにおいて、LDD
領域とチャネル形成領域との非常に良好な接合部を形成
することを意味する。

【0-0-5】次に、ケート配線となる導電膜を形成する。
ケート配線は単層の導電膜で形成しても良いが、なれど、ケート配線は複数の導電膜で構成する方が、必要に応じて二層、三層といふを積層膜とすることが好ましい。本実験では、第1導電膜1-2-3と第2導電膜1-2-1としてある積層膜を形成する。(図2-(D))

【0.0.5.6】ここで第1導電膜12.3、第2導電膜12.4としては、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タンクステン(W)、クロム(Cr)、シリコン(Si)から選ばれた元素、または前記元素を主成分とする導電膜(代表的には窒化タンタル膜、窒化タンクステン膜、または前記膜、窒化タンクステン膜、空化チタン膜)、または前記元素を組み合わせた合金膜(代表的にはMo-W合金膜、Mo-Ta合金膜、タンクステンカーバイド膜等)膜、Mo-Ta合金膜、タンクステンカーバイド膜等)を用いることができる。

【00067】 なお、第1導電膜123は1.0～5.0 nm（好ましくは2.0～3.0 nm）とし、第2導電膜124は2.00～1.00 nm（好ましくは2.50～3.50 nm）とすれば良い。本実施例では、第1導電膜123として、5.0 nmの塗布した塗化タングステン(WN)膜を、第2導電膜124として、3.50 nmの中厚のタンゲステン膜を用いる。なお、図示しないが、第1導電膜123の上を用いる、なほ、図示しないが、第1導電膜123の上もしくは下にシリコーン膜を1.0～2.0 nm程度の厚さで形成しておくことは有効である。これによりその上に形成される導電膜の接着性の向上と、酸化防止を図ることができる。

【0058】また、第1導電膜1-2-3として塗化アンモニウム銀膜、第2導電膜としてクレタル膜を用いることも有効

である。

【0059】次に、第1導電膜123と第2導電膜124とを一括でエッチングして400nmのゲート配線125～128を形成する。この時、駆動回路のチャネル型TFTのゲート配線126、127はn型不純物領域(b)、120～122の一部とゲート絶縁膜115を挟んで重なるように形成する。この重なった部分が後に抉り重なるように形成する。この重なった部分が後に抉り重なるように形成する。この重なった部分が後に抉り重なるように形成する。(図2(E))

【0060】次に、レジストマスク129を形成し、p型不純物元素(本実施例ではホロン)を添加して高濃度にホロンを含む不純物領域130、131を形成する。本実施例ではジホラン(B₂H₆)を用いたイオンドープ法(勿論、イオンインフランテーション法でも良い)により3・10²⁰～3・10²¹atoms/cm³(代表的には5・10²⁰～1・10²¹atoms/cm³)濃度でホロンを添加する。なお、本明細書中では上記濃度範囲でn型不純物元素を含む不純物領域をn型不純物領域(a)と定義する。(図3(A))

【0061】次に、レジストマスク129を除去し、ゲート配線及びチャネル型TFTとなる領域を犠牲形レジストマスク132～134を形成する。そして、n型不純物元素(本実施例ではリン)を添加して高濃度にリンを含む不純物領域135～141を形成する。ここでも、フォスマシン(PH₃)を用いたイオンドープ法(勿論、イオンインフランテーション法でも良い)で行い、この領域のリンの濃度は1・10²⁰～1・10²¹atoms/cm³(代表的には2・10²⁰～5・10²¹atoms/cm³)とする。(図3(B))

【0062】なお、本明細書中では上記濃度範囲でn型不純物元素を含む不純物領域を正n型不純物領域(a)と定義する。また、不純物領域135～141が形成された領域には既に前工程で添加されたリンまたはホロンが含まれるが、十分に高い濃度でリンを添加されることになるので、前工程で添加されたリンまたはホロンの影響は考えなくて良い。従って、本明細書中では不純物領域135～141はn型不純物領域(a)といい換えて構わない。

【0063】次に、レジストマスク132～134を除去し、珪素を含む絶縁膜となるキャップ膜142を形成する。膜厚は25～100nm(好ましくは30～50nm)とすれば良い。本実施例では25nm厚の窒化珪素膜を用いることとする。キャップ膜142は後の活性化工程でゲート配線の酸化を防ぐ保護膜としても機能するが、膜が形成しすぎると応力が強くなりて膜はがれ等の不具合が発生するので好ましくは100nm以下とすることが好ましい。

【0064】次に、ゲート配線125～128をマスクとして自己整合的にn型不純物元素(本実施例ではリ

ン)を添加する。こうして形成された不純物領域143～146には前記n型不純物領域(a)の1・2～1・4(代表的には1・3～1・4)の濃度(但し、前述のチャネルドープ工程で添加されたホロン濃度よりも5～10倍高い濃度、代表的には1・10¹⁶～5・10¹⁸atoms/cm³、典型的には3・10¹⁷～3・10¹⁸atoms/cm³)にてリンが添加されるよう調節する。なお、本明細書中では上記濃度範囲でn型不純物元素を含む不純物領域(但し、p型不純物領域(a)を除く)をn型不純物領域(c)と定義する。(図3(C))

【0065】この工程では100μmの膜厚の絶縁膜(キャップ膜142とゲート絶縁膜115との積層膜)を通してリンを添加することになるが、ゲート配線13～14a、13～16の側壁に形成されたキャップ膜もマスクとして機能する。即ち、キャップ膜142の膜厚に相当する長さのオフセット領域が形成されることになる。なお、オフセット領域とは、チャネル形成領域に接して形成され、チャネル形成領域と同一組成の半導体膜でなるが、ゲート電圧が印加されない反転層(チャネル領域)を形成しない高抵抗領域を指す。オフセット領域を下げるためにはLDD領域とゲート配線との重なりを極力抑えることが重要であり、そういう意味でオフセット領域を設けることは有効と言える。

【0066】なお、本実施例のように、チャネル形成領域にも1・10¹⁵～1・10¹⁸atoms/cm³の濃度でn型不純物元素を含んでいる場合、当然オフセット領域にも同濃度でn型不純物元素が含まれる。

【0067】このオフセット領域の長さは、実際にゲート配線の側壁に形成されるキャップ膜の膜厚や不純物元素を添加する際の押し込み現象(マスクの下に潜り込むよう)に不純物が添加される現象)によって決まるが、LDD領域とゲート配線との重なりを抑えるという観点からすれば、本願発明のようにn型不純物領域(c)を形成する際に、前もってキャップ膜を形成しておくことは非常に有効である。

【0068】なお、この工程ではゲート配線で覆われた部分を除いて全ての不純物領域にも1・10¹⁶～5・10¹⁸atoms/cm³の濃度でリンが添加されているか、非常に低濃度であるが各不純物領域の機能には影響を与えない。また、正n型不純物領域(b)143～146には既にチャネルドープ工程で1・10¹⁵～1・10¹⁸atoms/cm³の濃度のホロンが添加されているが、この工程でほりn型不純物領域(b)に含まれるホロンの5～10倍の濃度でリンが添加されるので、この場合もホロンはn型不純物領域(b)の機能には影響を与えないと言えて良い。

【0069】但し、厳密には正n型不純物領域(b)143～148のうちゲート配線に重なった部分のリン濃度が2・10¹⁶～5・10¹⁹atoms/cm³のままであるのに對し、ゲート配線に重ならない部分はそれに1・10¹⁶

~5×10¹⁸atoms/cm³の濃度のリンが加わっており、若干高い濃度でリンを含むことになる。

【0070】次に、第1層間絶縁膜1-4を形成する。【0070】次に、第1層間絶縁膜1-4としては、珪素を含む絶縁膜、具体的には窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜またはそれらを組み合わせた積層膜で形成すれば良い。また、膜厚は1.00~10.0nmとすれば良い。本実施例では、フライヤCVD法でSiH₄、N₂O、NH₃を原料ガスとし、2.00nm厚の窒化酸化シリコン膜（但し珪素濃度が2.5~5.0atomic%）を用いる。

【0071】その後、それぞれの濃度で添加されたB型またはF型不純物元素を活性化するために熱処理工程を行った。この工程はファーネスアニール法、レーザーアニール法、ランツアニール法またはそれらを併用して行うことができる。ファーネスアニール法で行う場合は、不活性雰囲気中において500~800℃、好ましくは550~600℃で行えは良い。本実施例では600℃、4時間の熱処理を行い、不純物元素を活性化する。（図3-(D)）

【0072】なお、本実施例では窒化シリコン膜1-4と窒化酸化シリコン膜1-9とを積層した状態でゲート配線を覆い、その状態で活性化工程を行っている。本実施例ではタンゲステンを配線材料として用いているが、タンゲステン膜は非常に酸化し易いことが知られている。即ち、保護膜で覆って酸化してもヒンホールが保護膜に存在すればはたたちに酸化されてしまう。ところが、本実施例では酸化防止膜としては非常に有効な窒化シリコン膜用い、且つ、窒化シリコン膜に対して窒化酸化シリコン膜を積層しているため、窒化シリコン膜のヒンホールの問題を気にせずに高い濃度で活性化工程を行うことが可能である。

【0073】次に、活性化工程の後、3~10.0%の水素を含む空気中で、300~450℃で1~4時間の熱処理を行い、活性層の水素化を行う。この工程は熱的に励起された水素により半導体層のケイゲラングボンドを終端する工程である。水素化の他の手段として、フライヤ水素化（フライヤにより励起された水素を用いる）を行っても良い。

【0074】活性化工程を終えたら、第1層間絶縁膜1-4の上に5.00nm~1.50nm厚の第2層間絶縁膜1-5を形成する。本実施例では第2層間絶縁膜1-5として8.00nm厚の酸化シリコン膜をフライヤCVD法により形成する。こうして第1層間絶縁膜（窒化酸化シリコン膜）1-4と第2層間絶縁膜（酸化シリコン膜）1-5との積層膜となる1層間絶縁膜を形成する。

【0075】なお、後の工程で耐熱性が許せば、第2層間絶縁膜1-5として、ポリイミド、アクリル、ホリアミド、ポリイミドアミド、BCB（ベンジクロロフェニル）等を使用することもできる。有機樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機樹脂膜や有機SiO化合物などを用いることもできる。ここでは、基板に倣り、熱重合するタイプのポリイミドを用い、300℃で焼成して形成する。

（9）等の有機樹脂膜を用いることも可能である。

【0076】その後、それぞれのTFTのハーフ領域またはトライイン領域に達するコントラクトホールを形成され、ワース配線1-5-1~1-5-4と、ドレイン配線1-5-5~1-5-7を形成する。なお、TMOも回路を形成するためにドレイン配線1-5-5はチャネル型TFTとのチャネル型TFTとの間に共通化されている。また、図示していないが、本実施例ではこの配線を、T1膜を2.00nm、T2を含むアルミニウム膜5.00nm、T3膜1.00nmをスパッタ法で連続して形成した3層構造の積層膜とする。なお、ワース配線もしくはドレイン配線として銅配線と窒化チタン配線とを積層しても良い。（図4-(A)）

【0077】次に、ハーフチャネル型膜1-5-8として、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜で5.0~10.0nm（代表的には2.00~3.00nm）の厚さで形成する。この時、本実施例では膜の形成に先立ってH₂、NH₃等水素を含むガスを用いてフライヤ水素化工程を行なう。この前処理により励起された水素が第1、第2層間絶縁膜中に供給される。この状態で熱処理を行なうことで、ハーフチャネル型膜1-5-8の膜質を改善するとともに、第1、第2層間絶縁膜中に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができる。

【0078】また、ハーフチャネル型膜1-5-8を形成した後に、さらに水素化工程を行っても良い。例えば、3~10.0%の水素を含む空気中で、300~450℃で1~12時間の熱処理を行なうと良く、あるいはフライヤ水素化法を用いても同様の効果が得られる。なお、水素化工程後に直ちに電極とドレイン配線を接続するためのコントラクトホールを形成する位置において、ハーフチャネル型膜1-5-8に開口部（図示せず）を形成しておいても良い。

【0079】その後、有機樹脂からなる第3層間絶縁膜1-5-9を約1.0nmの厚さで形成する。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ベンジクロロフェニル）等を使用することもできる。有機樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機樹脂膜や有機SiO化合物などを用いることもできる。ここでは、基板に倣り、熱重合するタイプのポリイミドを用い、300℃で焼成して形成する。

【0080】次に、画素部となる領域において、第3層間絶縁膜1-5-9上に遮蔽膜1-6を形成する。なお、本明細書中では光と電磁波を遮るという意味で遮蔽膜という文言を用いる。遮蔽膜1-6はアルミニウム（Al）、チタン（Ti）、タンタル（Ta）から選ばれた元にてなる膜またはいずれかの元素を主成分とする膜で

100～300 nmの厚さに形成する。本実施例では、1%のチタンを含有させたアルミニウム膜を125 nmの厚さに形成する。

【0081】なお、第3層間絶縁膜159上に酸化シリコン膜等の絶縁膜を5～50 nm形成しておくと、この上に形成する遮蔽膜の密着性を高めることができる。また、有機樹脂で形成した第3層間絶縁膜159の表面にCF₄ガスを用いたフライマ処理を施すと、表面改質により膜上に形成する遮蔽膜の密着性を向上させることができる。

【0082】また、このチタンを含有させたアルミニウム膜を用いて、遮蔽膜だけではなく他の接続配線を形成することも可能である。例えば、駆動回路内で回路間をつなぐ接続配線を形成できる。但し、その場合は遮蔽膜または接続配線を形成する材料を成膜する前に、必ず第3層間絶縁膜にコントラクトホールを形成しておく必要がある。

【0083】次に、遮蔽膜160の表面に陽極酸化法またはフライマ処理（本実施例では陽極酸化法）により20～100 nm（好ましくは30～50 nm）の厚さの酸化物161を形成する。本実施例では遮蔽膜160としてアルミニウムを主成分とする膜を用いたため、陽極酸化物161として酸化アルミニウム膜（アルミナ膜）が形成される。

【0084】この陽極酸化処理に際して、まず十分にアシカリイオン濃度の小さい硝石酸エチレンクリヨール溶液を作製する。これは1.5 molの硝石酸アンモニウム水溶液とエチレンクリヨールとを1:1で混合した溶液である。これにアンモニア水を加え、pHが7.0以上となるように調節する。そして、この溶液中に陰極となる白金電極を設け、遮蔽膜160を陽極として、一定（数mA～数十mA）の直流電流を流す。

【0085】溶液中の陰極と陽極との間の電圧は陽極酸化物の成長に従い時間と共に変化するが、定電流のまま10.0 V/cm²の昇圧レートで電圧を上昇させて、到達電圧15 Vに達したところで陽極酸化処理を終了させる。このようにして遮蔽膜160の表面には厚さ約50 nmの陽極酸化物161を形成することができる。また、その結果、遮蔽膜160の膜厚は90 nmとなる。なお、ここで示した陽極酸化法に係る数値は一例にすぎず、作製する素子の大きさ等によって当然最適値は変化しうるものである。

【0086】また、ここでは陽極酸化法を用いて遮蔽膜表面のみに絶縁膜を設ける構成したが、絶縁膜をフライマCVD法、熱CVD法またはスパッタ法などの気相法によって形成しても良い。その場合も膜厚は20～100 nm（好ましくは30～50 nm）とすることが好ましい。また、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、DLC（Diamond-like carbon）

膜、酸化タンタル膜または有機樹脂膜を用いても良い。さらに、これらを組み合わせた積層膜を用いても良い。

【0087】次に、第3層間絶縁膜159、パッシバージョン膜158にドレイイン配線167に達するコンタクトホールを形成し、画素電極162を形成する。なお、画素電極162は隣接する別の画素の画素電極である。画素電極162、163は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置とするために、酸化アルミニウムと酸化スズとの化合物（ITOと呼ばれる）膜を110 nmの厚さにスパッタ法で形成する。

【0088】また、この時、画素電極162と遮蔽膜160とが陽極酸化物161を介して重なり、保持容量（ホール効率）164を形成する。なお、この場合、遮蔽膜160をワードテイング状態（電気的に孤立した状態）が固定電位、好ましくはコモン電位（データとして送られる画像信号の中間電位）に設定しておくことが望ましい。

【0089】こうして同一基板上に、駆動回路と画素部とを有したアクティオスマトリクス基板が完成した。なお、図1（B）においては、駆動回路にはnチャネル型 TFT 301、pチャネル型 TFT 302、303が形成され、画素部にはnチャネル型 TFT でなる画素 TFT 304が形成される。

【0090】駆動回路のnチャネル型 TFT 301には、チャネル形成領域201、ソース領域202、ドレイイン領域203やそれそれか離す純物領域（ov）で形成される。但し、精密にはノース202領域及びドレイイン領域203に1・10⁻¹⁶～5・10⁻¹⁸ atoms/cm³の濃度でriを含んでいる。

【0091】また、nチャネル型 TFT 302には、チャネル形成領域204、ソース領域205、ドレイイン領域206、そしてチャネル形成領域とドレイイン領域との間に、ゲート絶縁膜を挟んでゲート配線と重なったLDI領域。本明細書中ではこのような領域をLov領域といふ。なお、ovはoverlapの意味で付した。LDI領域207は2・10⁻¹⁶～5・10⁻¹⁹ atoms/cm³の濃度でriを含み、且つ、ゲート配線と全端面なるように形成される。

【0092】また、図1（B）ではできるだけ抵抗成分を減らすためにチャネル形成領域201の片側のみ（ドレイイン領域側のみ）にLov領域を配置しているか、チャネル形成領域201を挟んで側面に配置しても良い。

【0093】また、nチャネル型 TFT 303には、チャネル形成領域208、ソース領域209、ドレイイン領域210、そしてチャネル形成領域を挟むようにしてLDI領域211、212が形成される。即ち、ノース領域とチャネル形成領域との間にLDI領域が形成される。

【0094】 なお、この構造ではLDI領域211、212の一部がゲート配線と重なるように配置されたために、ゲート絶縁膜を介してゲート配線と重なった領域（Low領域）とゲート配線と重ならない領域（本明細書中ではこのような領域をLoD領域という。なお、001は002の意味で付した。）が実現されている。

【0.095】ここで図6に示す断面図は図1(B)に示したヒヤニル型TFTの工程まで作製した状態を示す拡大図である。ここに示すように、LDI領域21-1はさらにLoy領域21-1a、1.0μ領域21-1bに区別できる。また、前述のLoy領域21-1aには $2 \cdot 10^{16} \sim 5 \cdot 10^{19}$ atoms/cm³の濃度でリンが含まれるが、1.0μ領域21-1bはその1～2倍(代表的に1～2×1.5倍)の濃度でリンが含まれる。

【0.09.6】また、画素T下T3.0-1には、チャネル形成領域213、214、ノース領域215、ドレイン領域216、Loff領域217～220、Loff領域218、219に接したD型不純物領域（a）221が形成される。この時、ノース領域215、ドレイン領域216はそれぞれN型不純物領域（b）で形成され、Loff領域217～220はD型不純物領域（c）で形成される。

【0097】本実施例では、禹素部および駆動回路が要求する回路仕様に応じて各回路を形成するT下Tの構造を最適化し、半導体装置の動作性能および信頼性を向上させることができる。具体的には、ローヤドを重T下Tは回路仕様に応じて1.10J領域の配置を異ならせ、low領域またはLoJ領域を使い分けることによって、同一基板上に高速動作またはホットキャリア対策を重視したT下T構造と、低寸ワ電流動作を重視したT下T構造とを実現できる。

【0098】例えば、アクティィマトリクス型液晶表示装置の場合、チャネル型TFT T302は高速動作を重視するソフトレジスタ、分周波回路、信号分割回路、レジスタ、パッファなどの駆動回路に適している。即ち、チャネル形成領域とドレイン領域との間のみにLOW領域を形成することで、できるだけ抵抗成分を低減させ、ホットキャリア対策を重視した構造となっている。これは上記回路群の場合、ワース領域とドレイン領域の機能が変わらず、キャリア（電子）の移動する方向が一定だからである。

【10月9日】但し、必要に応じてチャネル形成領域を挟んでLow領域を構成することもできる。即ち、ノース領域とチャネル形成領域の間、及びレイイン領域とチャネル形成領域との間に形成することも可能である。

【0100】また、ロチヤニア型TFTのオットキャリア対策と低オフ電流動作の双方を重視するサンブリッジ回路（トランスマスクエートともいう）に適している。即ち、Low領域を形成することでオットキャリア対策とし、さらにLoH領域を形成することで低オフ電流

動作を実現する。また、サンフランシスコ回路はソース領域とドレイン領域の機能が反転してキャリアの移動方向が 180° 変わるために、ゲート配線を中心対称となるような構造としなければならない。なお、場合によっては 1~mV 領域のみとすることもあらう。

【0101】また、ヒヤネ半導体FT301は低オフ電流動作を重視した箇部、サンプリング回路に適している。即ち、オフ電流値を増加させる要因となりうるしづ領域を配置せず、LoD領域とオフセット領域を配置することで低オフ電流動作を実現している。また、駆動回路のLoD領域よりも低い濃度のLoD領域をLoD領域として用いることで、多少オフ電流値が低下しても徹底的にオフ電流値を低減する対策を行っている。さらに、ヒヤネ半導体FT301はオフ電流値を低減する上非常に有効であることが確認されている。

【0.10.2】また、チャネル長3~7μmに対してのチャネル幅TFT3.0.2の1ov領域2.0.7の長さ(幅)は0.3~3.0μm、代表的には0.5~1.6μmとすれば良い。また、チャネル幅TFT3.0.3の1ov領域2.1.1a、2.1.2aの長さ(幅)は0.3~3.0μm、代表的には0.5~1.5μm、1ov領域2.1.1b、2.1.2bの長さ(幅)は1.0~3.5μm、代表的には1.5~2.0μmとすれば良い。また、画素 TFT3.0.1に設けられる1ov領域2.1.7~2.2.0の長さ(幅)は0.5~3.5μm、代表的には2.0~2.5μmとすれば良い。

【0-1-0-3】さらに、D型や半導體TFT 3-0-1は自己整合（センサアライジン）的に形成され、D型や半導體TFT 3-0-2～3-0-4は非自己整合（ノンセンサアライジン）的に形成されて、これらも半導体の構成の一つである。

【010-1】また、本実施例では保持容量の誘電体として比誘電率が7～9と高いアリミナ膜を用いたことで、必要な容量を形成するために必要な保持容量の占有面積を少なくてすむことができる。さらに、本実施例のように動素子上に形成される遮蔽膜を保持容量の一方の電極として、アクティワトリクス型液晶表示装置の画像表示部の開口率を向上させることができます。

【01-105】 なお、本発明は本実施例に示した保持容量の構造に限定される必要はない。例えば、本出願人による特願平9-316567号出願、特願平9-273414号出願または特願平10-254097号出願に記載された構造の保持容量を用いることもできる。

【0-1-0-6】ここでアケティスマトリクス基板から、アケティスマトリクス型液晶表示装置を作製する工程を説明する。図5に示すように、図1-13の状態の基板に対し、配向膜5-0-1を形成する。本実施例では配向膜としてポリイミド膜を用いる。また、対向基板5-0-2には、透明導電膜からなる対向電極5-0-3と、配向膜5-0-4とを形成する。なお、対向基板には必要に応じてカラ

ーフィルターや遮蔽膜を形成しても良い。

【0107】次に、配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するように調節する。そして、画素部と、駆動回路が形成されたアクティブラチクス基板と対向基板とを、公知のセル組み工程によってシール材やスリーセ（共に図示せず）などを介して貼りあわせる。その後、両基板の間に液晶505を注入し、封止剤（図示せず）によって完全に封止する。液晶には公知の液晶材料を用いれば良い。このようにして図5に示すアクティブラチクス型液晶表示装置が完成する。

【0108】次に、このアクティブラチクス型液晶表示装置の構成を、図8の断面図を用いて説明する。なお、図8は、図1～図4の断面構造図と対応付けるため、共通の符号を用いている。アクティブラチクス基板は、石英基板801上に形成された、画素部801と、走査（ゲート）信号駆動回路802と、画像（ノーブル）信号駆動回路803で構成される。画素部の画素 TFT304はnチャネル型TFTであり、周辺に設けられる駆動回路はCMOS回路を基本として構成されている。走査信号駆動回路802と、画像信号駆動回路803はそれぞれゲート配線128とノーブル配線154で画素部801に接続されている。また、FPC804が接続された端子805と駆動回路とを接続配線806、807によって電気的に接続されている。

【0109】次に、図8に示したアクティブラチクス型液晶表示装置の回路構成の一例を図9に示す。本実施例のアクティブラチクス型液晶表示装置は、画像信号側の駆動回路901、走査信号駆動回路（A）907、走査信号駆動回路（B）911、ノーブルチャージ回路912、画素部906を有している。なお、本明細書中において、駆動回路には画像信号処理回路901および走査信号駆動回路907が含まれる。

【0110】画像信号駆動回路901は、シフトレジスタ902、レバーリフタ903、ハッカマ904、サンフリック回路905を備えている。また、走査信号駆動回路（A）907は、シフトレジスタ908、レバーリフタ909、ハッカマ910を備えている。走査信号駆動回路（B）911も同様な構成である。

【0111】ここでシフトレジスタ902、908は駆動電圧が3.5～1.6V（代表的には5V又は10V）であり、回路を形成するCMOS回路に使われるnチャネル型TFTは図1（B）の302で示される構造が適している。

【0112】また、レバーリフタ903、909、ハッカマ904、910は、駆動電圧は1.1～1.6Vと高くなるが、シフトレジスタと同様に、図4（B）のnチャネル型TFT302を含むCMOS回路が適している。なお、ゲート配線をダブルゲート構造、トリプルゲート構造といったマルチゲート構造とすることは、各回路の

信頼性を向上させる上で有効である。

【0113】また、サンフリック回路905は駆動電圧が1.4～1.6Vであるが、ノーブル領域とドライン領域が反転する上、オフ電流値を低減する必要があるので、図4（B）のnチャネル型TFT303を含むCMOS回路が適している。なお、図1（B）ではnチャネル型TFTしか示されていないが、実際にサンフリック回路を形成する時はnチャネル型TFTとpチャネル型TFTとを組み合わせて形成すると大電流を流しやすくなり好ましい。

【0114】また、画素部906は駆動電圧が1.4～1.6Vであり、サンフリック回路905よりもさらに低いオフ電流値が要求されるので、LDD領域を配置しない構造とすることが望ましく、図1（B）のnチャネル型TFT304を画素TFTとして用いることが望ましい。

【0115】本願発明において最も大きな特徴は、画素 TFTのLDD領域とチャネル形成領域との間にオフセット領域が存在する点にある。そのことについて、図7を用いて説明する。図7は、図3（C）の工程までを終えた状態の画素TFTの一部を拡大した断面図である。

【0116】本実施例の作製工程で画素TFTを作製した場合、図7に示すように、チャネル形成領域214とn型不純物領域215でなるLDD領域220（または219）との間にオフセット領域701（または702）が存在する。このオフセット領域701の長さは、ほぼキャップ膜142の膜厚（ここで、本模製は緻密にはゲート配線の側壁に形成されている部分の膜厚）に一致する。

【0117】但し、（1）を適用する際の通りによってオフセット領域701の長さはキャップ膜142の膜厚よりも短くなることは言うまでもない。

【0118】本願発明では、このオフセット領域701、702の長さが0～2.00mm（好ましくは2.0～1.00mm、さらに好ましくは3.0～7.0mm）とする。この長さはキャップ膜142の膜厚を調節することで制御することができる。

【0119】このように本願発明では、画素TFTに対してLDD領域とオフセット領域の二つの抵抗領域を設けていたため、オフ電流値を極めて低い値にすることが可能である。即ち、ノーブルドライイの間の電圧が1.4V、ゲート電圧が-1.7V、5VといったようにTFTが完全にオフ状態にある時、nチャネル（好ましくは1pA以下）といったオフ電流値を達成しうる。

【0120】なお、本実施例の構成は、図1～4に示した上記に従ってTFTを作製することによって容易に実現することができる。また、本実施例では画素部と駆動回路の構成のみ示しているが、実施例1の作製工程に従えば、その他にも信号分離回路、分周波回路、D/Aコンバータ回路、オペアンプ回路、補正回路、さらにはマイクロプロセッサ回路などの信号処理回路（論理回路

と言っても良い)を同一基板上に形成することも可能である。

【0121】このように本発明は、同一基板上に画素部及び画素部を制御するための駆動回路を含む電気光学装置、例えば同一基板上に駆動回路及び画素部を具備した電気光学装置を実現しうる。

【0122】また、本実施例の図2(B)までの工程を行ふと、結晶格子に連続性を持つ特異な結晶構造の結晶質シリコン膜が形成される。このような結晶質シリコン膜に関する詳細は、本出願人による特願平10-0441-659号、特願平10-152316号、特願平10-152308号または特願平10-152305号の出願を参照すれば良い。以下、本出願人が実験的に調べた結晶構造の特徴について概略を説明する。なお、この特徴は、本実施例によって完成された半TFTの活性層を形成する半導体層の特徴と一致する。

【0123】上記結晶質シリコン膜は、微観的には複数の針状又は棒状の結晶(以下、棒状結晶と略記する)が集まって並んだ結晶構造を有する。このことはTEM(透過型電子顕微鏡法)による観察で容易に確認できる。

【0124】また、電子線回折及びエックス線(X線)回折を利用して結晶質シリコン膜の表面(チャネルを形成する部分)が、結晶軸に多少のずれが含まれているもしくは斜面として(110)面を有することを確認できる。この時、電子線回折分析を行えば(110)面に対する回折斑点をきれいに現れるのを確認することができる。また、各斑点は同心円上に分布を持っていることも確認できる。

【0125】また、個々の棒状結晶が接して形成する結晶粒界をHR-TEM(高分解能透過型電子顕微鏡法)により観察すると、結晶粒界において結晶格子に連続性があることを確認できる。これは観察される格子縞が結晶粒界において連続的に繋がっていることから容易に確認することができる。

【0126】なお、結晶粒界における結晶格子の連続性は、その結晶粒界が「平面状粒界」と呼ばれる粒界であることに起因する。本明細書における平面状粒界の定義は、「Characterization of High-Efficiency Cast-Si Solar Cell Wafers by MBIC Measurement」(Ryuichi Shiomokawa and Yutaka Hayashi, Japanese Journal of Applied Physics vol. 27, No. 5, pp. 751-758, 1988)に記載された「Planar boundary」である。

【0127】上記論文によれば、平面状粒界には双晶粒界、特殊な種類欠陥、特殊なwetting粒界などが含まれる。この平面状粒界は通常的に不活性であるという特徴を持つ。即ち、結晶粒界でありながらキャリヤーの移動を阻害するトラップとして機能しないため、実質的に存在しないと見なすことができる。

【0128】特に結晶軸(結晶面に垂直な軸)が(111)

0)軸である場合、【211】双晶粒界はΣ3の対応粒界とも呼ばれる。Σ値は対応粒界の整合性の程度を示す指針となるハラメータであり、Σ値が小さいほど整合性の良い粒界であることが知られている。

【0129】実際に本実施例の結晶質シリコン膜を詳細にTEMを用いて観察すれば、結晶粒界の始と(90度以上、典型的には90度以上)かΣ3の対応粒界、典型的には(211)双晶粒界であることが判る。

【0130】二つの結晶粒の間に形成された結晶粒界において、両方の結晶の面方位が(110)である場合、

(111)面に対応する格子縞がなす角をθとするとき、 $\theta = 70.5^\circ$ の時にΣ3の対応粒界となることが知られている。本実施例の結晶質シリコン膜は、結晶粒界において隣接する結晶粒の各格子縞がまさに約0.5°の角度で連続しており、その事からこの結晶粒界はΣ3の対応粒界であると言える。

【0131】なお、 $\theta = 38.9^\circ$ の時はΣ9の対応粒界となるが、この様な他の対応粒界も存在する。いずれにしても不活性であることに変わりはない。

【0132】この様な結晶構造(正確には結晶粒界の構造)は、結晶粒界において異なる二つの結晶粒が極めて整合性よく接合していることを示している。即ち、結晶粒界において結晶格子が連続的に連なり、結晶欠陥等に起因するトラップ部位を非常に作りにくい構成となっている。従て、この様な結晶構造を有する半導体薄膜は実質的に結晶粒界が存在しない見なすことができる。

【0133】またさらに、500~1100°Cという高い温度での熱処理工程(実施例1における熱酸化工程に相当する)によって結晶粒内に存在する欠陥が増加していることがTEM観察によって確認されている。これはこの熱処理工程の前段で欠陥数が大幅に低減されていることからも明らかである。

【0134】この欠陥数の差は電子スピン共鳴分析(Electron Spin Resonance; ESR)によってスピン密度の差となって現れる。現段では本実施例の結晶質シリコン膜のスピン密度は少なくとも $10^{17} \text{ spins/cm}^3$ 以下(好ましくは $3 \cdot 10^{17} \text{ spins/cm}^3$ 以上)であることが判明している。ただし、この測定値は現在する測定装置の検出限界に近いので、実際のスピン密度はさらに低いと想される。

【0135】以上の事から、本実施例の結晶質シリコン膜は結晶粒内の欠陥が極端に少なく、結晶粒界が実質的に存在しないと見なせるため、単結晶シリコン膜又は実質的な单結晶シリコン膜と見て良い。

【0136】【実施例2】本実施例では、実施例1に示した構造を有する画素部の構成について図10を用いて説明する。なお、図10に示す上面図では画素部の任意の側面に注目し、実施例1で用いた符号をそのまま引用する。

【0137】図10(A)は活性層、ゲート配線、ソーダ

ス配線の重ねあわせを示す上面図であり、同図(B)はその上に遮蔽膜、画素電極を重ねあわせた状態を示す上面図である。図10(A)において、ゲート配線128は、図示されていないゲート絶縁膜を介してその下の活性層11-1と交差している。また、図示はしていないが、活性層11-1には、ノース領域、ドレイン領域、nが、活性層11-1には、ノース領域、ドレイン領域、n型不純物領域(+)となるLoD領域が形成されている。また、100-1はノース配線15-4と活性層11-4とのコンタクト部、100-2はドレイン配線15-7と活性層11-1とのコンタクト部である。

【0138】また、図10(B)において、画素TFTの上には表面に陽極酸化物(ここでは図示しないが、図4(B)の陽極酸化物16-1を指す)が形成された遮蔽膜16-0と、各画素ごとに設けられる画素電極16-2、膜16-3が形成されている。そして、遮蔽膜16-0と画素16-2とか陽極酸化物を介して重なる領域で保持容量16-4が形成される。なお、100-3はドレイン配線15-7と画素電極16-2とのコンタクト部である。

【0139】本実施例では保持容量の誘電体として比誘電率が7~9と高いアルミニナ膜を用いることで、必要な容量を形成するための面積を少なくてすることが可能である。さらに、本実施例のように画素TFT上に形成される遮光膜を保持容量の一方の電極とすることで、アクティーフマトリクス型液晶表示装置の映像表示部の開口率を向上させることができる。

【0140】【実施例3】本実施例では、画素部の構成を実施例2(図10参照)とは異なるものとした場合について図11を用いて説明する。なお、実施例1、2で説明した画素部の構造とはゲート配線の一部分が異なるだけで全て同一構造である。並て、同一の部分に関しては説明は省くが同じ符号を用いる。

【0141】図11(A)は本実施例の画素部の断面図であり、ゲート配線(但し活性層と重なる部分を除く)を110-1を、第1導電膜110-2、第2導電膜110-3および第3導電膜110-4を積層して形成する点に特徴がある。即ち、第1導電膜110-2と第2導電膜110-3とで第3導電膜110-4を挟んだ構造となる。

【0142】本実施例では第1導電膜110-2として空化タングリ膜、第2導電膜110-3としてタンタル膜、第3導電膜110-4としてアルミニウムを主成分とする合金膜を用いる。この構造を形成するには、まずゲート絶縁膜上に第1導電膜110-2を形成し、その上に第3導電膜110-4を形成する。そして、第3導電膜110-4を所定の形状にバターンングして、その上を第2導電膜110-3で覆う。この後、第1導電膜110-2と第2導電膜110-3とを一括でエッチングして図11(A)に示すような構造のゲート配線が形成される。

【0143】そして、この時の上面図は図11(B)に示すようなものとなる。即ち、ゲート配線のうち活性層と重なる部分(この部分はゲート電極と呼んでもよい)

110-5a、110-5b(それぞれ図2(E)のゲート配線128a、128bに相当する)は第1および第2の導電膜の積層構造となる。一方、ゲート配線110-1はゲート配線110-5a、110-5bよりも配線幅が太く、且つ、図11(A)に示すような三層構造で形成される。即ち、ゲート配線の中でも単に配線として用いる部分はできるだけ配線抵抗を小さくするために、本実施例のような構造とすることが好ましい。

【0144】また、実施例1の図8に示したアクティーフマトリクス型液晶表示装置においては、端子805と走査信号駆動回路802と画像信号駆動回路803をつなぐ接続配線806、807は、本実施例で説明したような三層構造の配線を用いることで配線の低抵抗化を図ることが望ましい。

【0145】なお、図11(B)に示した構造は、実施例1と本実施例で説明した配線構造の形成方法とを組み合わせることで実現可能である。従って、実施例1で説明したアクティーフマトリクス型液晶表示装置に本実施例の構成を組み合せることは可能である。

【0146】【実施例4】本実施例では実施例1と異なる構造の画素部について図12を用いて説明する。なお、基本的な構造は図3(C)に示した画素部と同一構造であるので、相違点のみを説明する。

【0147】まず、図12(A)の構造は第3層間絶縁膜15-9と遮蔽膜16-0との間にハッファ層120-1を形成した例である。ハッファ層120-1としては、10~100nm(好ましくは30~50nm)の膜厚の珪素を含む絶縁膜を用いる。但し、第3層間絶縁膜15-9が有機樹脂膜である場合、裏側に曝すと樹脂膜中からの脱力が問題となるため、スラック法で形成できる絶縁膜を用いることが好ましい。

【0148】本実施例では50μm厚の酸化シリコン膜をハッファ層120-1として用いる。このハッファ層を形成することで、第3層間絶縁膜15-9と遮蔽膜16-0の密着性が向上する。実施例1のように酸化物16-1を陽極酸化法によって形成する際、密着性が悪いと第3層間絶縁膜と遮蔽膜との界面に潜り込むようにして陽極酸化物が形成される不具合が発生する。しかしながら、図12(A)の構造とすることでそのような不具合を防ぐことができる。

【0149】また、図12(B)の構造は、基本構造は図12(A)と同様であるが、遮蔽膜16-0の下に自己整合的にハッファ層120-2を形成する例である。この場合、遮蔽膜16-0をマスクとして自己整合的にハッファ層のエッチングを行うことで図12(B)の構造を実現できる。

【0150】エッチング工程は、遮蔽膜16-0を形成した直後に行っても良いし、酸化物16-1を形成した後で行っても良い。但し、ハッファ層120-2の材料と酸化物16-1の材料が同じエッチャントでエッチングされて

しまう場合は、酸化物 16-1 を形成する前にエッチング工程を行うことが望ましい。

【0151】また、図12(B)の構造とすることによって第3層間绝缘膜159にコンタクトホールを開けるときに有利である。有機樹脂膜の上に酸化シリコン膜等が存在すると、有機樹脂膜をエッチングする際に酸化シリコン膜がひきし状に残ってしまう恐れがある。そのため、図12(B)の構造のように予めコンタクトホールを形成する位置ではハッファ肘を除去しておくことが好ましい。

【0152】また、図12-(C)の構造は、遮蔽膜110、酸化物161を形成した後で絶縁膜であるスベーサー120-3a～120-3dを形成し、その後で画素電極120-4を形成する例を示す。スベーサー120-3a～120-3dの材料としては、有機樹脂膜が好ましく、特に120-3dの材料としては、有機樹脂膜が好ましく、特に感光性を有するポリイミドやアクリルを用いることが好ましい。

【0153】図12-(c)のような構造とすること、遮蔽膜160の端部(エッジ部)をスリーサーで隠すことによるので、遮蔽膜160の端部で遮蔽膜と画素電極となるので、遮蔽膜160の端部で遮蔽膜と画素電極となることを防ぐことができる。

【(0) 15-4】なお、本実施例の構成は、実施例1の生産工程において第3層間绝缘膜の形成～画素電極の形成までを変更しただけであり、その他の工程は実施例1と同じで良い。従って、実施例1に示したアクティブマトリクス型液晶表示装置に適用することも可能である。また、実施例1～3に示したいずれの構成とも自由に組み合せることも可能である。

【0-155】【実施例5】画素端部の各測素に設けられる保持容量は画素電極に接続されていない方の電極（未発明の場合は遮蔽膜）を固定電位としておくことで保持容量を形成することができる。その場合、遮蔽膜を「ローイング機能（電気的に孤立した状態）」かコモン電位データとして送られる画像信号の「中間電位」に設定しておくことが望ましい。

【0-1-5-6】そこで本実施例では遮蔽膜をコモン電位に固定する場合の接続方法について図1-13を用いて説明する。なお、基本構造は図1-13で説明した画素部と同様であるので、同一部位には同じ符号を用いて説明する。

【0157】図13(A)において、30-1は実施例1と同様にして作製された画鋲平下下(ハチャネル型TF)であり、160は保持容量の一方の電極として機能TFである。160は保持容量の一方の電極として機能する遮蔽膜である。画鋲部の外側に延長した遮蔽膜130-1は第3層間絶縁膜151、ハーフマーンヨン膜150-8に設けられたコンタクトホール130-2を介してコモ8に接続される。この電位を与える電源供給線130-3と接続している。この電源供給線130-3はノース配線またはドレイン配線と同時に形成しておけば良い。

【0158】このように画素部の外側において、避敵模

1301とコモン電位を有する電源供給線1303とを電気的に接続することで、遮蔽膜160をコモン電位に保持することができる。従って、この場合には遮蔽膜1301を形成する前に第3層間絶縁膜159、ハーフバーション膜158をエッチングしてコントラクトホールを形成しておく工程が必要となる。

【0159】次に、図13(B)において、30-1は実施例1と同様にして作製された鋼板TFTであり、160は保持容器の一方の電極として機能する遮蔽膜である。塗墨部の外側まで延長した遮蔽膜130-1は、130-5で示される領域において導電膜130-6と酸化物130-7を介して重なる。この導電膜130-6は塗墨電極162と同時に形成される。

【0-1-6-0】そして、この導電膜13-0-6は第3層間絶縁膜15-9、ハッジーリーション膜15-8に設けられたコンタクトホール13-0-8を通してコモン電位を与える電源供給線13-0-9と接続している。この時、領域13-0-5では遮蔽膜13-0-1、酸化物13-0-7、導電膜13-0-6となるコンデンサが形成される。このコンデンサの容量が十分に大きい（1モードライシ分の全面積に接続された全保護容量の合計容量の10倍程度）場合、領域13-0-5で形成された静電結合によって遮蔽膜13-0-4及び13-0-2電位変動を低減することができる。

【0-16-1】また、(図1-3-B)の構造を採用する場合は、アクティワトリクス型液晶表示装置の駆動方法としては、ハースライン反転駆動を採用することが好ましい。ハースライン反転駆動ならば、電極に印加される電圧極性が1フレーム毎に反転するので、時間的に平均されれば遮蔽膜上に常に蓄積される電荷量は始とゼロとなる。即ち、非常に電位変動の小さい狀態を維持できるので、安定した保持容量を形成することができる。

【0102】このように図13(B)の構造を採用することによって、工程数を増やすことなく遮蔽膜をコモン電位に保持することが可能となる。

【0-16-3】なお、本実施例の構成は、実施例1の作製工程を一部変更するだけで実現可能であり、その他の工程は実施例1と同様の工程で良い。従って、実施例1に示したアクティフマトリクス駆動液晶表示装置に適用することも可能である。また、実施例1～3に示したいすれの構成とも自由に組み合わせることが可能である。

【016-1】【実施例6】実施例1では無品質シリコン膜を結晶化するために用いたニッケルをリンを用いてゲッタリングする例を示したが、本実施例では他の元素を用いて主結晶化元素をゲッタリングする場合について説明する。

【0165】また、実施例1の工程(図1-(B))の工程まで)に従って、高品質構造を有する半導体膜(本実施例では結晶質シリコン膜)を得る。但し、本実施例では結晶化に用いる触媒元素(ニッケルを例にとる)の導入濃度を極力低いものとする。具体的には、非晶質シリコン

膜上に重量換算で0.5～3ppmのニッケル含有層を形成し、結晶化のための熱処理を行う。これにより形成された結晶質シリコン膜中に含まれるニッケル濃度は、 $1 \times 10^{17} \sim 1 \times 10^{19}$ atoms/cm³（代表的には $5 \times 10^{17} \sim 1 \times 10^{18}$ atoms/cm³）となる。

【0166】そして、結晶質シリコン膜を形成したら、マスク膜を除去した後にハロゲン元素を含む酸化性雰囲気中で熱処理を行う。温度は800～1150℃（好ましくは900～1000℃）とし、処理時間は10分～4時間（好ましくは30分～2時間）とする。

【0167】本実施例では、酸素雰囲気中に対して3～10体積%の塩化水素を含ませた雰囲気中において、950℃30分の熱処理を行う。この工程により結晶質シリコン膜中のニッケルは揮発性の塩化化合物（塩化ニッケル）となって処理雰囲気中に離脱する。即ち、ハロゲン元素のゲッタリング作用によってニッケルを除去することが可能となる。但し、結晶質シリコン膜中に存在するニッケル濃度が高すぎると、ニッケルの偏析部で酸化が異常に進行するという問題を生じる。そのため、結晶化の段階で用いるニッケルの濃度を極力低くする必要がある。

【0168】こうして形成された結晶質シリコン膜中に残存するニッケルの濃度は、 1×10^{17} atoms/cm³以下、好ましくは 1×10^{16} atoms/cm³となる。この後は、実施例1に従って図1-(1)～(3)の工程を実施すれば良い。

【0169】なお、本実施例の構成は実施例1に適用することも可能であるし、実施例1に示したアクティフマトリクス型液晶表示装置に適用することも可能である。また、実施例2～5のいずれの構成とも自由に組み合わせることが可能である。また、実施例1に示したリンによるゲッタリング工程と併用することも可能である。

【0170】【実施例7】本実施例では、n型不純物領域（c）の形成方法に関して、実施例1と異なる工程を用いる例を示す。説明には図1-4を用いる。

【0171】まず、実施例1の工程に従って図3-(B)の状態を得る。次に、レジストマスク132～134を除去し、キャップ膜142を形成する。本実施例ではキャップ膜142の膜厚を2.0μmとする。

【0172】次に、0.8～1.0μmの厚さに半導体膜（重ねせず）を形成し、異方性エッチングを行うことによりサイドウォール140-1a、140-1bを形成する。そして、この状態で図3-(C)と同じにn型不純物元素を添加し、n型不純物領域（c）140-2a、140-2bを形成する。同時に、サイドウォール140-1a、140-1bもマスクとして機能するので、オフセット領域140-3a、140-3bが形成される。

【0173】本実施例では、オフセット領域140-3a、140-3bの長さ（幅）が、サイドウォール140-1a、140-1bとキャップ膜142の膜厚によって決定さ

れる。特に、オフセット領域を100～200nmといったように長めに形成したい場合に本実施例は有効である。

【0174】実施例1ではキャップ膜142の膜厚（ゲート配線の側壁に形成された部分の膜厚）によってオフセット領域の長さが決定されるが、100～200nmといった長さを実現するにはキャップ膜142の膜厚もそれに応じて厚くしなければならない。ところが、純物領域（c）はゲート絶縁膜とキャップ膜との積層膜を通してn型不純物元素を添加するので、ゲート絶縁膜の膜厚を極端に薄くしないと不純物添加工程のスリーブットを大幅に低下させてしまう。

【0175】従って、本実施例のような構成とすると、オフセット領域140-3a、140-3bの長さは実質的にサイドウォール140-1a、140-1bで決まり、ゲート絶縁膜の膜厚と無関係に決めることができる。なお、本実施例ではサイドウォール140-1a、140-1bを形成する際にエッチング選択性を確保する目的でキャップ膜142を形成しているが、必要がなければ省略しても良い。

【0176】なお、本実施例の構成は実施例1と組み合わせることもできるし、実施例1に示したアクティフマトリクス型液晶表示装置に適用することもできる。また、実施例2～5のいずれの構成とも自由に組み合わせることも可能である。

【0177】【実施例8】本実施例では、実施例1と異なる工程でアクティフマトリクス基板を作製する場合の例について説明する。

【0178】実施例1では、n型不純物領域（c）の形成工程及びn型不純物領域（c）の形成工程とともにゲート絶縁膜を介したスリーブット工程によって一導電型を付与する不純物元素を添加している。しかし、これらの不純物領域を形成する際はゲート絶縁膜を除去して活性層を露出させた状態で行っても良い。

【0179】この場合、実施例1の工程に従って図2-(A)～(D)の工程まで進めたら、ゲート絶縁膜125～128をマスクとして自己整合的にゲート絶縁膜をエッチングし、活性層111～111の一部を露出させる。なお、このとき、ゲート配線の形成時に用いたレジストマスク（重ねせず）をそのまま残してマスクとすればゲート配線にダメージを与えることなくエッチング工程を行なうことができる。

【0180】この後は、実施例1と同様にn型不純物領域（c）及びn型不純物領域（c）を順次形成していくのは良い。但し、不純物元素の添加条件は実施例1と異なり、ゲート絶縁膜を通さない形で加速電圧を高く設定する。添加条件に関してはn型不純物領域（c）及びn型不純物領域（c）に含まれる不純物濃度が実現されるように実施者が最適な条件を選択すれば良い。

【0181】本実施例の作製工程を採用した場合、実施

例1の図3 (C) に相当する工程は図15 (A) に示すようになる。図15 (A) において、1501～1505はゲート配線をマスクとして自己整合的に形成されたゲート絶縁膜であり、ゲート配線を覆ってキャップ膜1506が形成される。そして、この状態で図3 (C) と同様にN型不純物元素を添加し、N型不純物領域 (c) 1507～1510を形成する。このとき、チャネル形成領域1511、1512と共にN型不純物領域 (c) 1513～1516を形成する。この間に、キャップ膜1506の膜厚にはほぼ相当する長さのオフセット領域 (図示せず) が形成される。

【0182】また、場合によっては図15 (B) に示すように、キャップ膜1506の上にさらに第2キャップ膜1513を積層して、その積層膜を通してN型不純物元素を添加しても良い。これにより形成されたN型不純物領域 (c) 1514～1517とチャネル形成領域1518、1519との間にはキャップ膜1506及び第2キャップ膜1513の合計膜厚にはほぼ相当する長さのオフセット領域 (図示せず) が形成される。

【0183】図15 (B) の構成では、第2キャップ膜1513の膜厚を調節することでオフセット領域の長さを自由に調節することができる。第2キャップ膜1513は硅素を含む絶縁膜 (好ましくは窒化酸化シリコン膜) を用い、膜厚は3.0～20.0μm (好ましくは5.0～15.0μm) とすれば良い。

【0184】本実施例ではキャップ膜、第1キャップ膜 (膜) 1506として窒化シリコン膜を用いているが、窒化シリコン膜は厚くつけると応力を強くなってしまって膜はかれたりする恐れがある。従って、ゲート配線の等の不具合を生じる恐れがある。従って、ゲート配線の酸化防止膜としてある程度の膜厚では形成しておきたいが、膜厚が薄いと有効なオフセット領域が形成できない場合がある。そのような時に図15 (B) に示した構成は有効である。

【0185】なお、本実施例の構成は実施例1を変形すれば実現可能であり、実施例1に示したアクティフマトリクス型液晶表示装置に適用することもできる。また、実施例2～7のいずれの構成とも自由に組み合わせることが可能である。

【0186】【実施例9】本実施例では、実施例1と異なる工程でアクティフマトリクス基板を作製する場合の例について図16を用いて説明する。

【0187】まず、実施例1の工程に従って図2 (E) の工程まで行う。次に、ゲート絶縁膜と同一材料でなるキャップ膜 (本実施例では窒化酸化シリコン膜) 1601を3.0μmの膜厚に形成する。そして、図3 (C) と同様の条件でN型不純物元素の添加工程を行い、N型不純物領域 (c) 1602～1603を形成する。(図16 (A))

【0188】次に、ゲート配線をマスクとして自己整合的にゲート絶縁膜をエッチングし、ゲート配線の直下に

ゲート絶縁膜1605～1609を形成する。次にレジストマスク1610を形成し、図3 (A) と同様にP型不純物元素の添加工程を行って、P型不純物領域 (a) 1611、1612を形成する。(図16 (B))

【0189】次に、レジストマスク1610を除去し、新たにレジストマスク1613～1616を形成する。そして、図3 (B) と同様にN型不純物元素の添加工程を行って、N型不純物領域 (a) 1617～1623を形成する。(図16 (C))

【0190】次にレジストマスク1613～1616を除去し、第1層間絶縁膜1624を形成する。本実施例では5.0μm厚の窒化シリコン膜と2.0μm厚の窒化酸化シリコン膜との積層膜を用いるが、多層構造に限らず堆積を含む絶縁膜でなる複層構造を用いることも可能である。

【0191】次に、第1層間絶縁膜1624を形成した後で添加された不純物元素の活性化工程を行う。本実施例では800°C 1時間のウオーニングによって活性化を行う。(図16 (D))

【0192】以上のような作製工程に従って、アクティフマトリクス基板を作製し、公知のセル組み工程を行つてアクティフマトリクス型液晶表示装置を作製することができる。なお、実施例1に示したアクティフマトリクス型液晶表示装置を作製することも可能である。また、実施例2～8より、それの構成とも自由に組み合わせることが可能である。

【0193】なお、本実施例の構成は実施例1の該当部分を変更すれば実現可能であり、実施例1に示したアクティフマトリクス型液晶表示装置と同様のアクティフマトリクス型液晶表示装置を作製することも可能である。また、実施例2～8より、それの構成とも自由に組み合わせることが可能である。

【0194】【実施例10】実施例1に示した作製工程においては、Nチャネル型TFTとなる領域のみにチャネルドーピング工程を行つてしまい傾電圧を制御する例を示しているが、Nチャネル型TFTやPチャネル型TFTのどちらか一方に、全面に添加した不純物元素と並んで導電性を付与する不純物元素を添加する場合もある。

【0195】また、場合によっては全面にチャネルドーピング工程を施して、Nチャネル型TFTまたはPチャネル型TFTのどちらか一方に、全面に添加した不純物元素と並んで導電性を付与する不純物元素を添加する場合もある。

【0196】なお、本実施例の構成は、実施例2～9に示したいずれの構成とも自由に組み合わせることが可能である。

【0197】【実施例11】実施例1に示した作製工程例では、Nチャネル型TFTのゲート配線を形成する前

に、前もって後にLoV領域として機能するp型不純物領域（b）を形成することが前提となっている。そして、p型不純物領域（b）、n型不純物領域（c）はともに自己整合的に形成されることが特徴となっている。

【0198】しかしながら、本発明の効果を得るために最終的な構造が図4（B）のような構造となっていれば良く、そこに登るワロツクに限定されるものではない。従って、不純物領域の形成順序は実施者が適宜変更する。また、場合によってはp型不純物領域して構わない。また、レジストマスクを用いて形成することも可能である。即ち、最終的に図4（B）に示したように、各回路に応じて異なる構成の活性層を有するTFTが形成されるのであれば、あらゆる組み合わせの工程順序を採用しても構わない。

【0199】【実施例12】本実施例では、本発明をシリコン基板上に作製した半導体装置に適用した場合について説明する。典型的には、画素電極として反射率の高い金属膜を用いた反射型液晶表示装置に適用できる。

【0200】本実施例は、実施例1においてシリコン基板（シリコンウェハ）に直接的にn型またはp型不純物元素を添加してLoV領域、n-Layer領域またはドレイン領域といった不純物領域を形成する。その際、各不純物領域の形成順序やゲート絶縁膜の形成順序は問わない。

【0201】なお、本実施例の構成は実施例1～11のいずれの構成とも自由に組み合わせることが可能である。但し、活性層となる半導体層は単結晶シリコン基板と限られているので、結晶化工程以外での組み合わせとなる。

【0202】【実施例13】実施例1では、LoV領域やLoD領域をnチャネル型TFTのみに配置し、その位置を回路仕様に応じて使い分けることを前提に説明を行ったが、TFTサイズが小さくなる（チャネル長が短くなる）と、pチャネル型TFTに対しても同様のことと言えるようになる。

【0203】即ち、チャネル長が2μm以下となると短チャネル効果が顕在化するようになるため、場合によってはpチャネル型TFTにもLoV領域を配置する必要性が出てくる。このように、本発明においてpチャネル型TFTは実施例1、4～31に示した構造に限定されるものではなく、pチャネル型TFTと同一構造であっても構わない。

【0204】なお、本実施例を実施する場合は、実施例1の構成においてp型不純物領域（b）の形成と同じように、p型不純物元素が2・10¹⁶～5・10¹⁹atoms/cm³で含まれる不純物領域を形成しておけば良い。また、本実施例の構成は実施例2～13のいずれの構成とも自由に組み合わせることが可能である。

【0205】【実施例14】本発明は従来のMOSFE TFT上に層間絶縁膜を形成し、その上にTFTを形成する半導体に用いることも可能である。即ち、三次元構造の半導

体装置を実現することも可能である。また、基板としてSIMOX、Smart-Cut SOITEC社の登録商標）、ELTRAN（キャノン株式会社の登録商標）などのSOI基板を用いることも可能である。

【0206】なお、本実施例の構成は、実施例1～12のいずれの構成とも自由に組み合わせることを可能である。

【0207】【実施例15】本発明によって作製された液晶表示装置は様々な液晶材料を用いることが可能である。そのような材料として、TN液晶、PDLC（ポリマー分散型液晶）、FLC（強誘電性液晶）、AFLC（反強誘電性液晶）、またはFLCとAFLCの混合物（反強誘電性混合液晶）が挙げられる。

【0208】例えば、「H. Furukawa et al.: Characteristics and Driving Scheme of Polymer-Stabilized Monostable FLC Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability SID 1998」、「T. Yoshida et al.: A Full-Color Thresholdless Anti-ferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time SID 97 DIGEST 1997」、「S. Inoue et al.: Thresholdless anti-ferroelectricity in liquid crystals and its application to displays 671-673 J. Mater. Chem. 6(1) 1996」、または米国特許第5,591,569号に開示された材料を用いることができる。

【0209】特に、電場に対して透過率が連続的に変化する電気光学応答特性を示す無しきい値反強誘電性混合液晶（Thresholdless Anti-ferroelectric LCD：TFL-AFLCと略記する）にはV字型（またはU字型）の電気光学応答特性を示すものがあり、その駆動電圧が約±2.5V程度（セントポーラス±2.5V）のものも見出されている。そのため、画素部用の電源電圧から±8V程度で駆動する場合があり、駆動回路と画素部を同じ電源電圧で動作させる可能性が示唆されている。即ち、液晶表示装置全体の低消費電力化を図ることができる。

【0210】また、強誘電性液晶や反強誘電性液晶はTN液晶に比べて応答速度が速いという利点をもつ。本発明で用いるようなTFTは非常に動作速度の速いTFTを実現するため、強誘電性液晶や反強誘電性液晶の応答速度の速さを十分に生かした画像応答速度の速い液晶表示装置を実現することが可能である。

【0211】また、一般に、無しきい値反強誘電性混合液晶は自発分極が大きく、液晶自体の誘電率が高い。このため、無しきい値反強誘電性混合液晶を液晶表示装置に用いる場合には、画素に比較的大きな保持容量が必要となる。よって、自発分極が小さな無しきい値反強誘電性混合液晶を用いるのが好ましい。そういう意味で実施例1の図3（C）で示した保持容量は小さい面積で大きな容量を蓄積することができるので好ましい。

【0212】なお、本実施例の液晶表示装置をパーソナ

ルコンピュータ等の電子機器の表示ディスプレイとして用いることが有効であることは言うまでもない。

【0213】また、本実施例の構成は、実施例1～14のいずれの構成とも自由に組み合わせることが可能である。

【0214】【実施例16】本願発明はアクティフマトリクス型EL（エレクトロルミネッセンス）ディスプレイ（アクティフマトリクス型EL表示装置ともいふ）に適用することも可能である。その例を図17に示す。

【0215】図17は本実施例のアクティフマトリクス型ELディスプレイの回路図である。8-1は表示領域を表しており、その周辺にはX方向（ソース側）駆動回路8-2、Y方向（ゲート側）駆動回路8-3が設けられている。また、表示領域8-1の各画素は、スイッチング用TFT8-4、コンデンサ8-5、電流制御用TFT8-6、EL基板8-7を有し、スイッチング用TFT8-4にX方向信号線（ソース信号線）8-8a（または8-8b）、Y方向信号線（ゲート信号線）8-9a（または8-9b、8-9c）が接続される。また、電流制御用TFT8-6には、電源線9-0a、9-0bが接続される。

【0216】本実施例のアクティフマトリクス型ELディスプレイでは、X方向制御回路8-2及びY方向制御回路8-3を図4-(B)のpチャネル型TFT3-0-1並びにnチャネル型TFT3-0-2もしくは3-0-3を組み合わせて形成する。また、スイッチング用TFT8-4には図4-Bのnチャネル型TFT3-0-1を用い、電流制御用TFT8-6には図4-(B)のpチャネル型TFT3-0-1を用いる。勿論、TFTの組み合わせはこれに限定する必要はない。

【0217】なお、本実施例のアクティフマトリクス型ELディスプレイに対して、実施例1～13のいずれの構成を組み合わせても良い。

【0218】【実施例17】本実施例では、本願発明を用いてEL（エレクトロルミネッセンス）表示装置を作製した例について説明する。なお、図18-(A)は本願発明のEL表示装置の上面図であり、図18-(B)はその断面図である。

【0219】図18-(A)において、4-0-0-1は基板、4-0-0-2は画素部、4-0-0-3はソース側駆動回路、4-0-0-4はゲート側駆動回路であり、それぞれの駆動回路は配線4-0-0-5を経てFPC（フレキシブルプリントサーキット）4-0-0-6に至り、外部機器と接続される。

【0220】このとき、画素部4-0-0-2、ソース側駆動回路4-0-0-3及びゲート側駆動回路4-0-0-4を開めよう回路4-0-0-3及びゲート側駆動回路4-0-0-4を開めようにして第1シリアル材4-1-0-1、カバー材4-1-0-2、充填材4-1-0-3及び第2シリアル材4-1-0-1が設けられている。

【0221】また、図18-(B)は図18-(A)をA-A'で切断した断面図に相当し、基板4-0-0-1の上にソース側駆動回路4-0-0-3に含まれる駆動TFT（但し、

pチャネル型TFTとnチャネル型TFTを図示している。）4-2-0-1及び画素部4-0-0-2に含まれる電流制御用TFT（EL基板への電流を制御するTFT）4-2-0-2が形成されている。

【0222】本実施例では、駆動TFT4-2-0-1は図4-(B)のpチャネル型TFT3-0-1とnチャネル型TFT3-0-2と同じ構造のTFTが用いられ、電流制御用TFT4-2-0-2には図4-(B)のpチャネル型TFT3-0-1と同様構造のTFTが用いられる。また、画素部4-0-0-2には電流制御用TFT4-2-0-2のケーブルに接続された保持容量（図示せず）が設けられる。

【0223】駆動TFT4-2-0-1及び画素TFT4-2-0-2の上には樹脂材料となる層間絶縁膜（平坦化膜）4-3-0-1が形成され、その上に画素TFT4-2-0-2のドライブと電極的に接続する画素電極（陽極）4-3-0-2が形成される。画素電極4-3-0-2としては仕事間数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物または酸化インジウムと酸化錫との化合物を用いることができる。

【0224】そして、画素電極4-3-0-2の上には絶縁膜4-3-0-3が形成され、絶縁膜4-3-0-3は画素電極4-3-0-2の上に開口部が形成されている。この開口部において、画素電極4-3-0-2の上にはEL（エレクトロルミネッセンス）層4-3-0-4が形成される。EL層4-3-0-4は公知の有機EL材料または無機EL材料を用いることができる。また、有機EL材料には低分子系（モノマー系）材料と高分子系（ポリマー系）材料があるがどちらを用いても良い。

【0225】EL層4-3-0-4の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、EL層の構造は正孔注入層、正孔輸送層、发光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

【0226】EL層4-3-0-4の上には遮光性を有する導電膜（代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜）からなる陰極4-3-0-5が形成される。また、陰極4-3-0-5とEL層4-3-0-4の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中で両者を連続成膜するか、EL層4-3-0-4を空氣または希ガス雰囲気で形成し、酸素や水分に触れさせないまま陰極4-3-0-5を形成するといった工夫が必要である。本実施例ではマリモチャージ方式（クラスター・ツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

【0227】そして陰極4-3-0-5は4-3-0-6で示される領域において配線4-0-0-5に電気的に接続される。配線4-0-0-5は陰極4-3-0-5に所定の電圧を与えるための配線であり、異方導電性ワイヤム4-3-0-7を介してFPC4-0-0-6に電気的に接続される。

【0228】以上のようにして、画素電極（陽極）4-3-

0.2、EL層4304及び陰極4305からなるEL素子が形成される。このEL素子は、第1シール材4101及び第1シール材4104によって基板4001に貼り合はされたカバー材4102で囲まれ、充填材4103により封入されている。

【0239】カバー材4102としては、ガラス板、金属板（代表的にはステンレス板）、セラミック板、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフロオライド）フィルム、マイラーフィルム、ポリエスチルフィルムまたはアクリルフィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【0240】但し、EL素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ホリフィルムで挟んだ構造のシートを用いることもできる。

【0241】また、充填材4103としては紫外線硬化樹脂または熱硬化樹脂を用いることでき、PVC（ポリビニルクロラайд）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラート）またはEVA（エチレンヒニシアセテート）を用いることができる。この充填材4103の内部に吸湿性物質（好ましくは酸化インジウム）を設けておくとEL素子の劣化を抑制できる。

【0242】また、充填材4103の中にスクーザを含めさせてよい。このとき、スクーザを酸化ハリウムで形成すればスクーザ自身に吸湿性をもたせることが可能である。また、スクーザを設けた場合、スクーザからの圧力を緩和するハッカバ解として陰極4305上に樹脂膜を設けることも有効である。

【0243】また、配線4005は異方導電性フィルム4307を介してFPC4006に電気的に接続される。配線4005は画素部4002、ノース側駆動回路4003及びゲート側駆動回路4004に送られる信号をFPC4006に伝え、FPC4006により外部機器と電気的に接続される。

【0244】また、本実施例では第1シール材4101の露呈部及びFPC4006の一端を覆うように第2シール材4104を設け、EL素子を徹底的に外気から遮断する構造となっている。こうして図18(B)の断面構造を有するEL表示装置となる。なお、本実施例のEL表示装置は実施例1、3、6～11、13、14のいずれの構成を組み合わせて作製しても構わない。

【0245】ここで画素部のさらに詳細な断面構造を図19に、上面構造を図20(A)に、回路図を図20(B)に示す。図19、図20(A)及び図20(B)では共通の符号を用いるので互いに参照すれば良い。

【0246】図19において、基板4401上に設けら

れたスイッチング用TFT4402は図4(B)のチャネル型TFT301を用いて形成される。従って、構造の説明はチャネル型TFT301の説明を参照すれば良い。また、4403で示される配線は、スイッチング用TFT4402のゲート電極4401a、4401bを電気的に接続するゲート配線である。

【0247】なお、本実施例ではチャネル形成領域が一つ形成されるタガリゲート構造としているが、チャネル形成領域が一つ形成されるシングルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。

【0248】また、スイッチング用TFT4402のドレイン配線4405は電流制御用TFT4406のゲート電極4407に電気的に接続されている。なお、電流制御用TFT4406は図4(B)のチャネル型TFT301を用いて形成される。従って、構造の説明はチャネル型TFT301の説明を参照すれば良い。なお、本実施例ではシングルゲート構造としているが、タブルゲート構造もしくはトリプルゲート構造であっても良い。

【0249】スイッチング用TFT4402及び電流制御用TFT4406の上には第1ハインズショット膜4408が設けられ、その上に樹脂からなる平坦化膜4409が形成される。平坦化膜4409を用いてTFTによる段差を平坦化することは非常に重要である。後に形成されるEL層は非常に薄いため、段差が存在することによって発光不整を起こす場合がある。従って、EL層を形成するだけ平坦面に形成しなるよに画素電極を形成する前に平坦化しておくことが望ましい。

【0250】また、4410は透明導電膜からなる画素電極（EL素子の陽極）であり、電流制御用TFT4406のドレイン配線4411に電気的に接続される。画素電極4410としては酸化インジウムと酸化スズとの化合物もしくは酸化インジウムと酸化亜鉛との化合物からなる導電膜を用いることができる。

【0251】画素電極4410の上にはEL層4412が形成される。なお、図19では一薄層を示しているが、本実施例ではR(赤)、G(緑)、B(青)の各色に対応したEL層を作り分けている。また、本実施例では蒸着法により低分子系有機EL材料を形成している。具体的には、正孔注入層として20nm厚の銅アクリロシアン(Cu-Pc)膜を設け、その上に発光層として70nm厚のトリス(8-キノリノラトアルミニウム)錯体(A1-L3)膜を設けた積層構造をしている。A1-L3にキナクリドン、トリルもしくは1-(M-1)といった着色料を添加することで金光色を調節することができる。

【0252】但し、以上の例はEL層として用いることのできる有機EL材料の一例であって、これに限定する必要はない。発光層、電荷輸送層または電荷注入層を自由に組み合わせてEL層・発光及びそのための

キャリヤの移動を行わせるための層)を形成すれば良い。例えば、本実施例では低分子系有機EL材料をE上層として用いる例を示したが、高分子系有機EL材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機EL材料や無機材料は公知の材料を用いることができる。

【0243】次に、E上層4-4-1-2の上には遮光性の導電膜からなる陰極4-4-1-3が設けられる。本実施例の場合、遮光性の導電膜としてアルミニウムとリチウムとの合金膜を用いる。勿論、公知のMg-Al膜(マグネシウムと銀との合金膜)を用いても良い。陰極材料としては、周明表の1族もしくは2族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を用いれば良い。

【0244】この陰極4-4-1-3まで形成された時点でE上層子4-4-1-1が完成する。なお、ここにいうE上層子4-4-1-1は、画素電極(陽極)4-4-1-0、E上層4-4-1-2及び陰極4-4-1-3で形成されたコンデンサを指す。

【0245】次に、本実施例における画素の上面構造を図20-(A)を用いて説明する。スイッチング用TFT4-4-0-2のベースは、ベース配線4-4-1-5に接続され、ドレインはドレイン配線4-4-0-5に接続される。また、トランジスタ配線4-4-0-5は電流制御用TFT4-4-0-6のゲート電極4-4-0-7に電気的に接続される。また、電流制御用TFT4-4-0-6のベースは電流供給線4-4-1-6に電気的に接続され、ドレインはドレイン配線4-4-1-7に電気的に接続される。また、ドレイン配線4-4-1-7は直線で示される画素電極(陽極)4-4-1-8に電気的に接続される。

【0246】このとき、4-4-1-9で示される領域には保持容量が形成される。保持容量4-4-1-9は、電流供給線4-4-1-6と電気的に接続された半導体膜4-4-2-0、ゲート絶縁膜と同一層の絶縁膜(図示せず)及びゲート電極4-4-0-7との間に形成される。また、ゲート電極4-4-0-7、第1層間絶縁膜と同一の層(図示せず)及び電流供給線4-4-1-6で形成される容量も保持容量として用いることが可能である。

【0247】なお、本実施例のE上表示装置を作製するにあたって、実施例1、3、6～11、13、14の構成を自由に組み合わせても良い。

【0248】【実施例18】本実施例では、実施例1～7とは異なる画素構造を有したE上表示装置について説明する。説明には図21を用いる。なお、図19と同一の符号が付してある部分については実施例1～7の説明を参照されば良い。

【0249】図21では電流制御用TFT4-5-0-1として図4-(B)のチャネル型TFT3-0-2と同一構造のTFTを用いる。勿論、電流制御用TFT4-5-0-1のゲート電極4-5-0-2はスイッチング用TFT4-4-0-2のド

レイイン配線4-4-0-5に接続されている。また、電流制御用TFT4-5-0-1のドレイン配線4-5-0-3は画素電極4-5-0-4に電気的に接続されている。

【0250】本実施例では、画素電極4-5-0-4がE上層子の陰極として機能し、遮光性の導電膜を用いて形成する。具体的には、アルミニウムとリチウムとの合金膜を用いるか、周明表の1族もしくは2族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を用いれば良い。

【0251】画素電極4-5-0-4の上にはE上層4-5-0-5が形成される。なお、図21では一画素しか図示していないが、本実施例ではG(緑)に対応したE上層を蒸着法及び魯布法(好ましくはスピンドルコート法)により形成している。具体的には、電子注入層として20nm厚のPd(20nm)(上一下)膜を設け、その上に発光層のPAl(20nm)(上一下)膜を設け、その後に発光層として70nm厚のPPV(オリハラフェニレンビニレン)膜を設けた積層構造としている。

【0252】次に、E上層4-5-0-5の上には透明導電膜からなる陽極4-5-0-6が設けられる。本実施例の場合、透明導電膜として酸化インジウムと酸化スズとの化合物もしくは酸化インジウムと酸化亜鉛との化合物からなる導電膜を用いる。

【0253】この陽極4-5-0-6まで形成された時点でE上層子4-5-0-7が完成する。なお、ここにいうE上層子4-5-0-7は、画素電極(陰極)4-5-0-4、E上層4-5-0-5及び陽極4-5-0-6で形成されたコンデンサを指す。

【0254】このとき、電流制御用TFT4-5-0-1が本願発明の構造であることは非常に重要な意味を持つ。電流制御用TFT4-5-0-1はE上層子4-5-0-7を流れる電流量を制御するための基子であるため、多くの電流が流れ、熱による劣化やホットキャリヤによる劣化の危険性が高い基子もある。そのため、電流制御用TFT4-5-0-1のドレイン側に、ゲート絶縁膜4-5-0-8を介してゲート電極4-5-0-2に重なるようにLDD領域4-5-0-9を設ける本願発明の構造は極めて有効である。

【0255】また、本実施例の電流制御用TFT4-5-0-1はゲート電極4-5-0-2とLDD領域4-5-0-9との間にゲート容量と呼ばれる寄生容量を形成する。このゲート容量を調節することで図20-(A)、-(B)に示した保持容量4-4-1-8と同等の機能を持たせることも可能である。特に、E上表示装置をセンタリ駆動方式で動作させる場合には、保持容量のキャパシタンスがアノロジ駆動方式で動作させる場合よりも小さくて済むため、ゲート容量で保持容量を代用しうる。

【0256】なお、本実施例のE上表示装置を作製するにあたって、実施例1、3、6～11、13、14の構成を自由に組み合わせても良い。

【0257】【実施例19】本実施例では、実施例1～7もしくは実施例18に示したE上表示装置の画素部に用いることができる画素構造の例を図22-(A)～(C)

に示す。なお、本実施例において、1601はスイッチ用TFT、1602はハース配線、1603はスイッチ用TFT、1602のゲート配線、1604は電流制御用TFT、1605はコンデンサ、1606、1608は電流供給線、1607はEFL端子とする。

【0258】図22(A)は、二つの画素間で電流供給線1606を共通とした場合の例である。即ち、二つの画素が電流供給線1606を中心に縦対称となるように形成されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0259】また、図22(B)は、電流供給線1608をゲート配線1603と平行に設けた場合の例である。なお、図22(B)では電流供給線1608とゲート配線1603とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源供給線1608とゲート配線1603とで専有面積を共有させることができるために、画素部をさらに高精細化することができる。

【0260】また、図22(C)は、図22(B)の構造と同様に電流供給線1608をゲート配線1603と平行に設け、さらに、二つの画素を電流供給線1608を中心に対称となるように形成する点に特徴がある。また、電源供給線1605をゲート配線1603のいずれか一方と重なるように設けることも有効である。この場合、電源供給線の本数を減らすことができるので、画素部をさらに高精細化することができる。

【0261】「実施例20」本願発明の電気光学装置や半導体回路は電気器具の表示部や信号処理回路として用いることができる。そのような電気器具としては、ヒデオカメラ、デジタルカメラ、プロジェクター、プロジェクションTV、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置、カード型/スマート型モバイルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置などが挙げられる。それら電気器具の具体例を図23～25に示す。

【0262】図23(A)は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示部2004、操作スイッチ2005、アンテナ2006で構成される。本願発明の電気光学装置は表示部2004に、本願発明の半導体回路は音声出力部2002、音声入力部2003またはCPUやメモリ等に用いることができる。

【0263】図23(B)はヒデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明の電気光学装置は表示部2102に、

02に、本願発明の半導体回路は音声入力部2103またはCPUやメモリ等に用いることができる。

【0264】図23(C)はモバイルコンピュータ(モービルコンピュータ)であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部2205で構成される。本願発明の電気光学装置は表示部2205に、本願発明の半導体回路はCPUやメモリ等に用いることができる。

【0265】図23(D)はゴーグル型ディスプレイであり、本体2301、表示部2302、アーム部2303で構成される。本願発明の電気光学装置は表示部2302に、本願発明の半導体回路はCPUやメモリ等に用いることができる。

【0266】図23(E)はリアワードエクター(ワロードエクタ)、TV)であり、本体2401、光輝2402、液晶表示装置2403、偏光ヒーメスブロック2404、リフレクター2405、2406、スクリーン2407で構成される。本発明は液晶表示装置2403に用いることができる、本願発明の半導体回路はCPUやメモリ等に用いることができる。

【0267】図23(F)はワロントワロードエクターであり、本体2501、光輝2502、液晶表示装置2503、光学系2504、スクリーン2505で構成される。本発明は液晶表示装置2503に用いることができる、本願発明の半導体回路はCPUやメモリ等に用いることができる。

【0268】図24(A)はモバイルコンピュータであり、本体2601、映像入力部2602、表示部2603、キーボード2604等を含む。本願発明の電気光学装置は表示部2603に、本願発明の半導体回路はCPUやメモリ等に用いることができる。

【0269】図24(B)は電子遊戯機器(ゲーム機器)であり、本体2701、記録媒体2702、表示部2703及びコントローラー2704を含む。この電子遊戯機器から出力された音声や映像は筐体2705及び表示部2706を含む表示ディスプレイにて再生される。コントローラー2704と本体2701との間の通信手段または電子遊戯機器と表示ディスプレイとの間の通信手段は、有線通信、無線通信もしくは光通信が使える。本実施例では外部線をセンサ部2707、2708で検知する構成となっている。本願発明の電気光学装置は表示部2703、2706に、本願発明の半導体回路はCPUやメモリ等に用いることができる。

【0270】図24(C)はワロクラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレイヤー(画像再生装置)であり、本体2801、表示部2802、スピーカ部2803、記録媒体2804及び操作スイッチ2805を含む。なお、この画像再生装置は記録媒体としてDVD・Digital Versatile D（DVD）、CD等を用い、音楽鑑賞や映画鑑賞やゲーム

やインターネットを行うことができる。本願発明の電気光学装置は表示部2902やCPUやメモリ等に用いることができる。

【0271】図24(D)はデジタルカメラであり、本体2901、表示部2902、接眼部2903、操作スイッチ2904、受像部(図示せず)を含む。本願発明の電気光学装置は表示部2902やCPUやメモリ等に用いることができる。

【0272】なお、図23(E)のリアプロシェクターや図23(F)のフロントプロジェクターに用いることのできる光学エンジンについての詳細な説明を図25に示す。なお、図25(A)は光学エンジンであり、図25(B)は光学エンジンに内蔵される光源光学系である。

【0273】図25(A)に示す光学エンジンは、光軸光学系3001、ミラー3002、3005～3007、ダイクロイックミラー3003、3004、光学レンズ3008a～3008c、フリップ3011、液晶表示装置3010、投射光学系3012を含む。投射光学系3012は、投射レンズを備えた光学系である。本実施例は液晶表示装置3010を三つ使用する三板式の例を示したが、単板式であってもよい。また、図25(A)において矢印で示した光路には、光学レンズ、偏光機能を有するフィルム、位相差を調節するためのフィルムもしくはIRフィルム等を設けてもよい。

【0274】また、図25(B)に示すように、光軸光学系3001は、光軸3013、3014、合成フリップ3015、コリメータレンズ3016、3020、レンズアレイ3017、3018、偏光変換基板3019を含む。なお、図25(B)に示した光軸光学系は光軸を二つ用いたが、一つでも良いし、二つ以上としてもよい。また、光源光学系の光路のとこかに、光学レンズ、偏光機能を有するフィルム、位相差を調節するフィルムもしくはIRフィルム等を設けてもよい。

【0275】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電気器具に適用することが可能である。また、本実施例の電気器具は実施例1～19のどのような組み合わせからなる構成を用いても実現することができる。

【0276】(実施例21)図26は実施例1に従って作製されたリチャードソン型TFT3012のドレイン電流(I_D)とゲート電圧(V_G)との関係を表すグラフ(以下、I_D-V_G曲線といふ)及び電界効果移動度(μ_{FE})のグラフである。このとき、ソース電圧(V_S)は0V、ドレイン電圧(V_D)は1Vまたは1.1Vとした。なお、実測値はチャネル長(L)が7.5μm、チャネル幅(W)が7.8μm、ゲート絶縁膜の膜厚(Tox)が1.10nmであった。

【0277】図26において、太線はストレッス試験前、細線はストレッス試験後のI_D-V_G曲線および電界効果

移動度を示しているが、ストレッス試験前後で曲線に殆ど変化はない、ホットキャリア劣化が抑制されていることが判った。なお、ここで行ったストレッス試験は、室温にてソース電圧0V、ドレイン電圧2.0V、ゲート電圧2Vをかけた状態で60秒保持する試験であり、ホットキャリア劣化を促進させる試験である。

【0278】

【発明の効果】本願発明を用いることで同一基板上に、回路が要求する仕様に応じて適切な性能の回路を配置することが可能となり、電気光学装置の動作性能や信頼性を大幅に向上させることができる。

【0279】また、液晶表示装置に代表される電気光学装置の画素部において、小さい面積で大きなキャパシティを有する保持容量を形成することができる。そのため、対角1インチ以下の電気光学装置においても開口率を低下させることなく、十分な保持容量を確保することが可能となる。

【0280】また、そのような電気光学装置を表示部として有する電気器具の動作性能と信頼性も向上させることができると。

【以降の簡単な説明】

- 【図1】 画素部と駆動回路の作製工程を示す図。
- 【図2】 画素部と駆動回路の作製工程を示す図。
- 【図3】 画素部と駆動回路の作製工程を示す図。
- 【図4】 画素部と駆動回路の作製工程を示す図。
- 【図5】 アクティブラーマトリクス型液晶表示装置の断面構造図。
- 【図6】 リチャードソン型TFTのLCD構造を示す図。
- 【図7】 リチャードソン型TFT(画素TFT)のLCD構造を示す図。

【図8】 アクティブラーマトリクス型液晶表示装置の斜視図。

【図9】 アクティブラーマトリクス型液晶表示装置の回路プロック図。

- 【図10】 画素部の上面構造を示す図。
- 【図11】 画素部の断面構造及び上面構造を示す図。
- 【図12】 保持容量の構造を示す図。
- 【図13】 保持容量の構成を示す断面図。
- 【図14】 リチャードソン型TFT(画素TFT)のLCD構造を示す図。
- 【図15】 画素部と駆動回路の作製工程を示す図。
- 【図16】 画素部と駆動回路の作製工程を示す図。
- 【図17】 アクティブラーマトリクス型EL表示装置の構成を示す図。

【図18】 EL表示装置の上面構造及び断面構造を示す図。

【図19】 EL表示装置の断面構造を示す図。

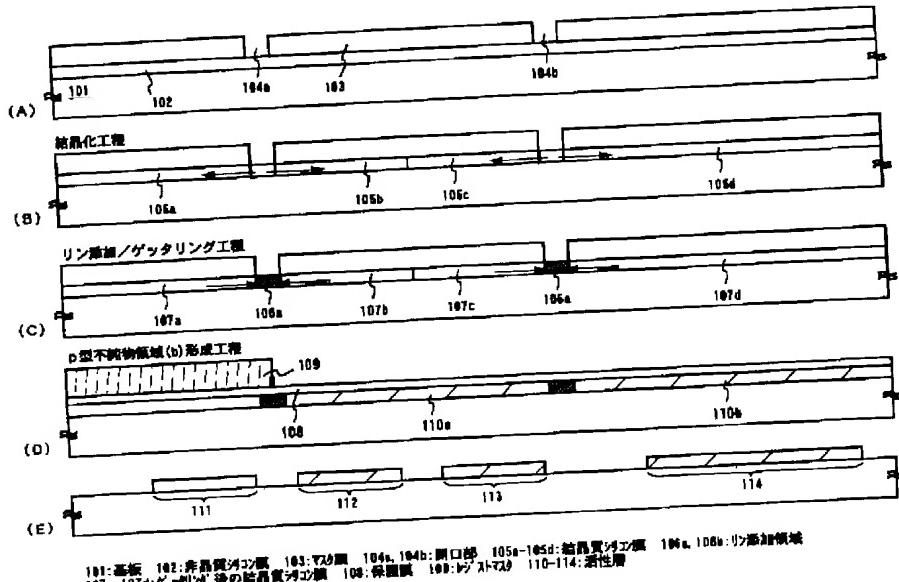
【図20】 EL表示装置の画素部の上面構造を示す図。

【図21】 EL表示装置の断面構造を示す図。

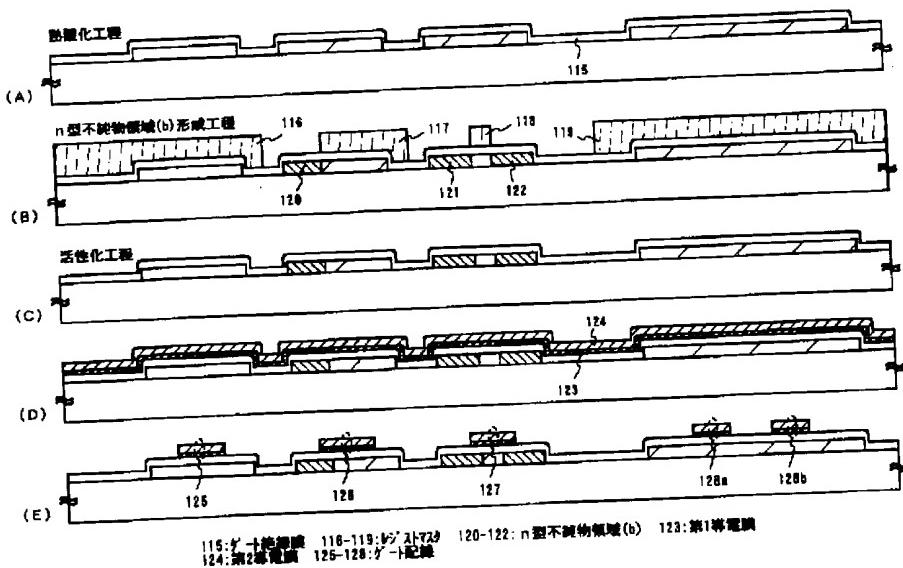
【図22】 EL表示装置の画素部の回路構成を示す図。
 【図23】 電気器具の一例を示す図。

【図24】 電気器具の一例を示す図。
 【図25】 光学エンジンの構成を示す図。
 【図26】 TFTのI_d-V_g曲線を示す図。

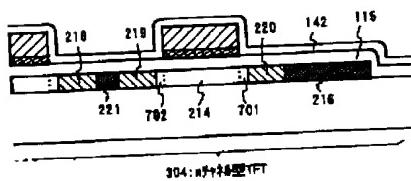
【図1】



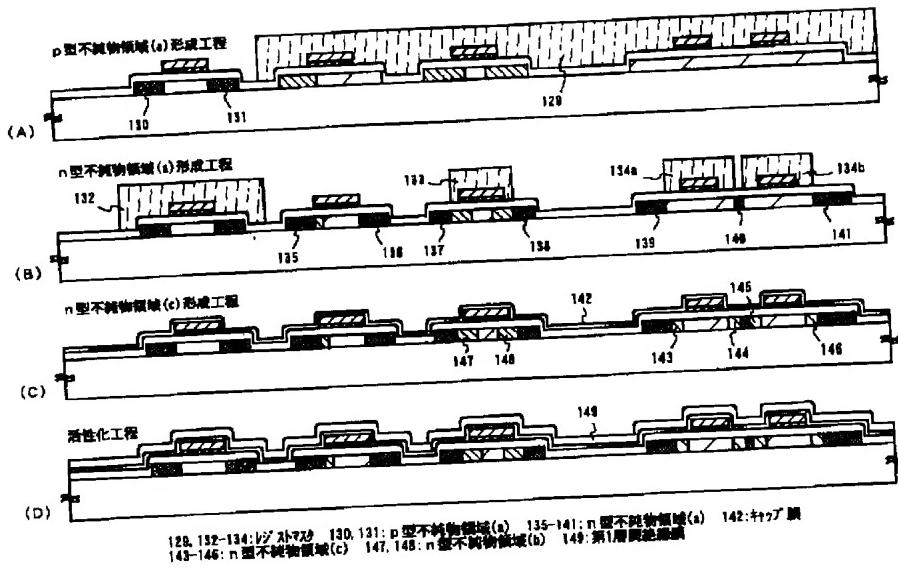
【図2】



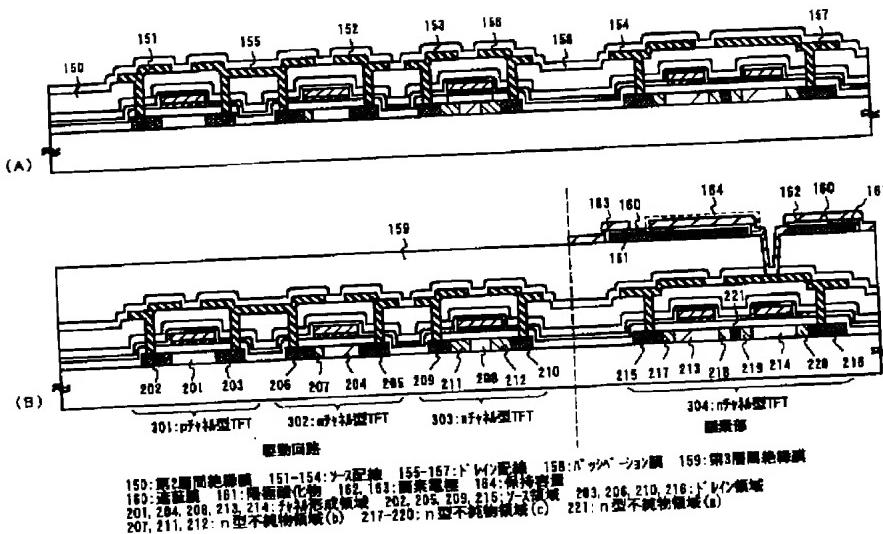
【図7】



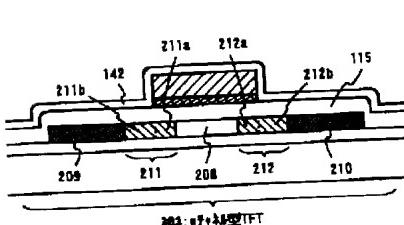
【図3】



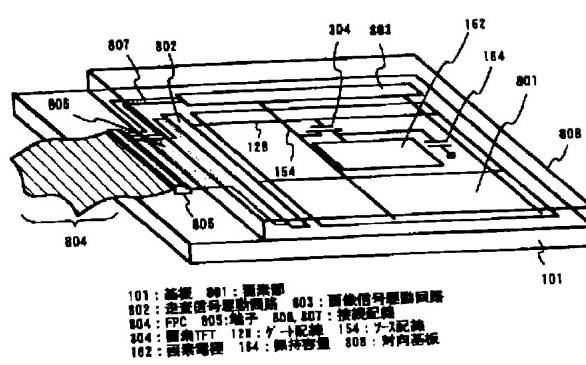
【図4】



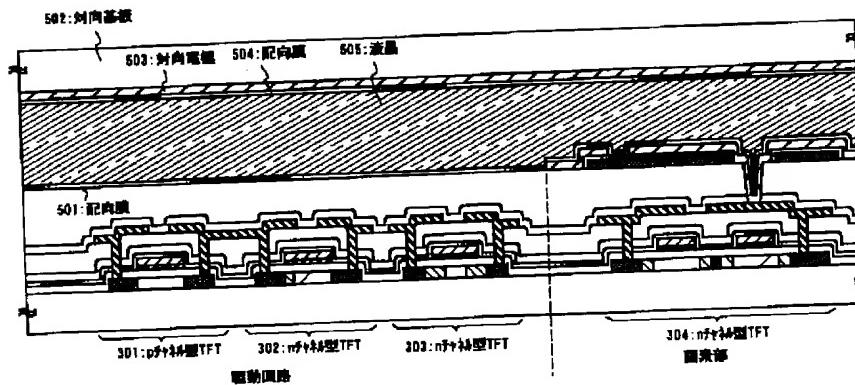
【図6】



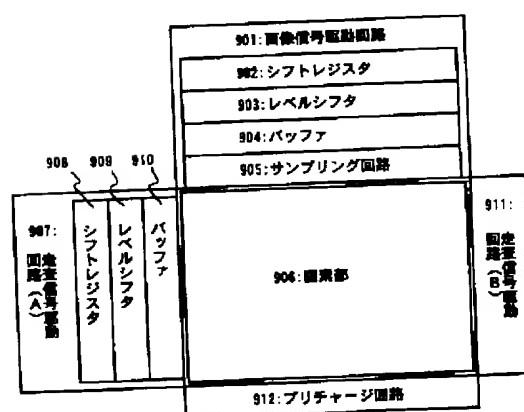
【図8】



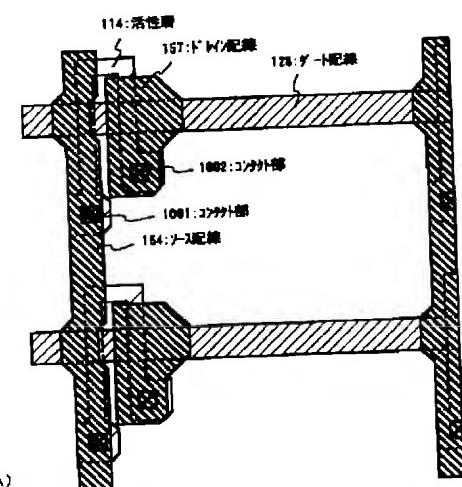
【図5】



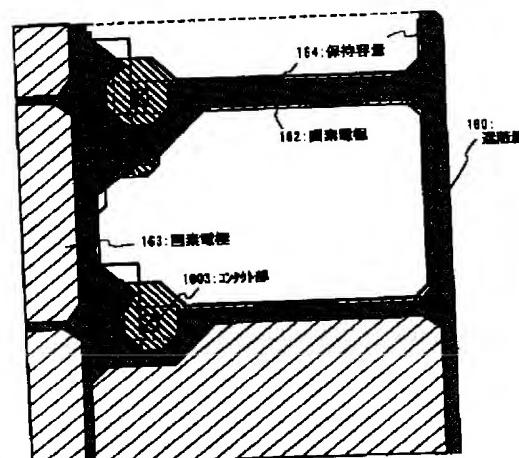
【図9】



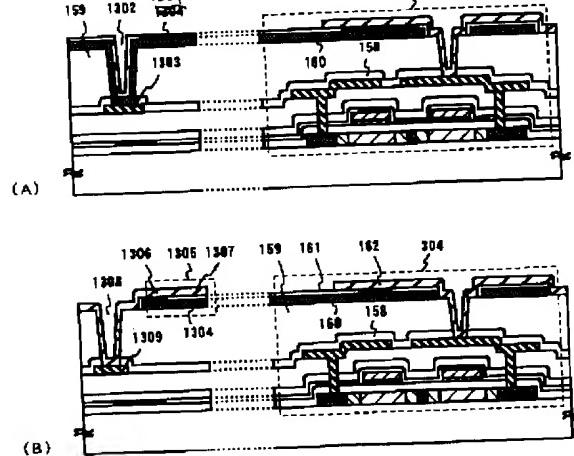
【図10】



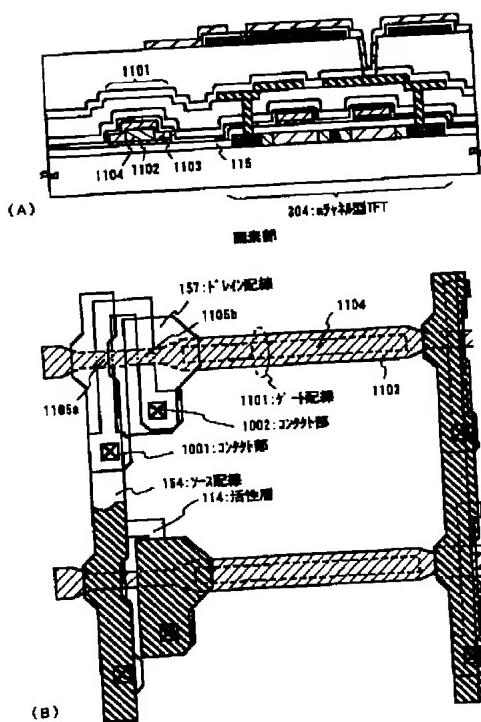
(A)



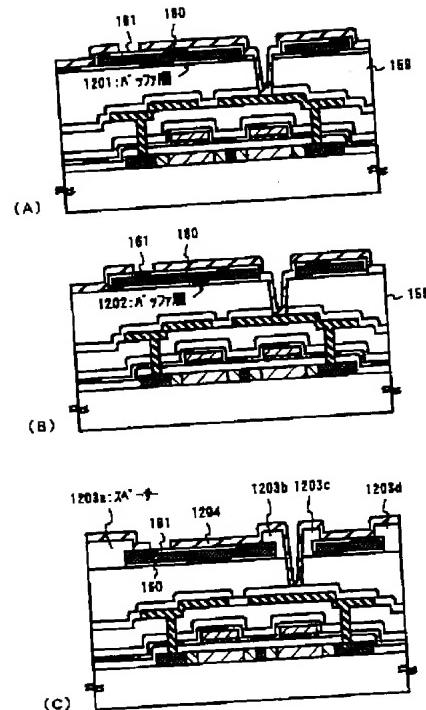
(B)



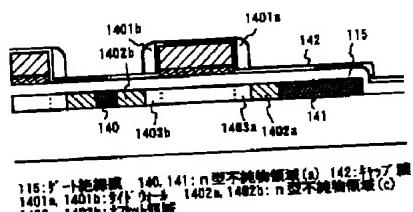
【図11】



【図12】

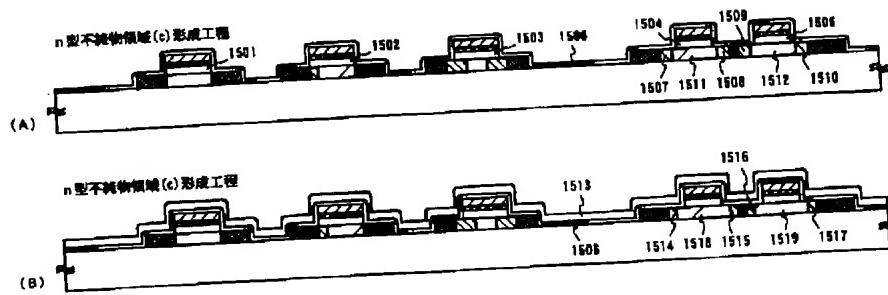


【図14】

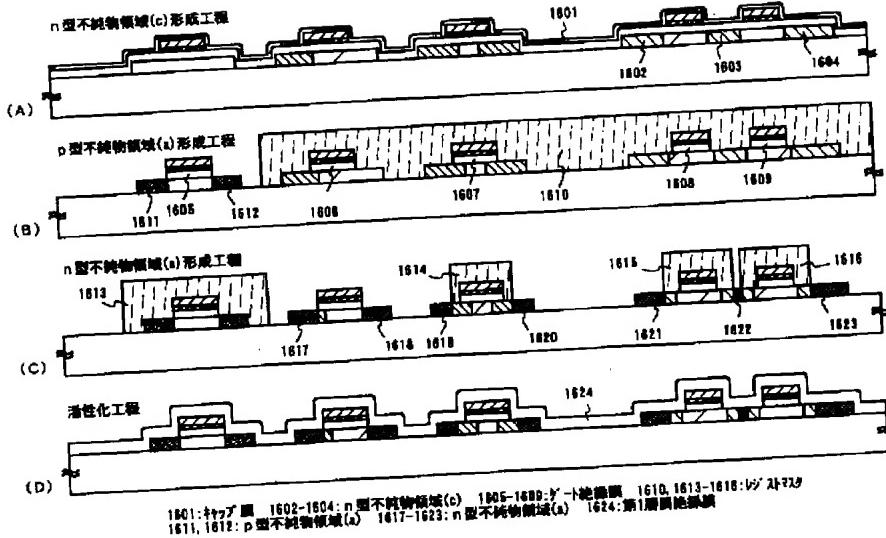


115: p+ドープ層
140, 141: n型不純物領域(a)
142: p+ドープ層
1401a, 1401b: n型不純物領域(c)
1402a, 1402b: n型不純物領域
1403a, 1403b: p+ドープ層

【図15】

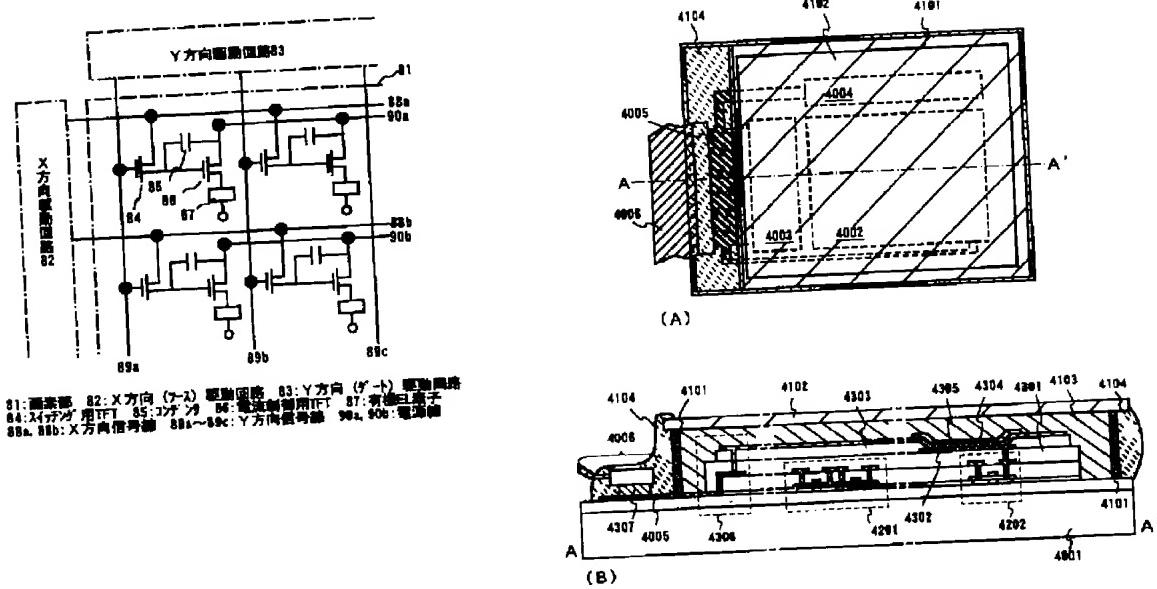


【図16】

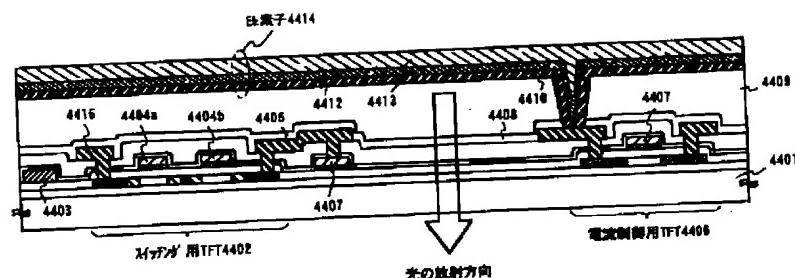


[图 17]

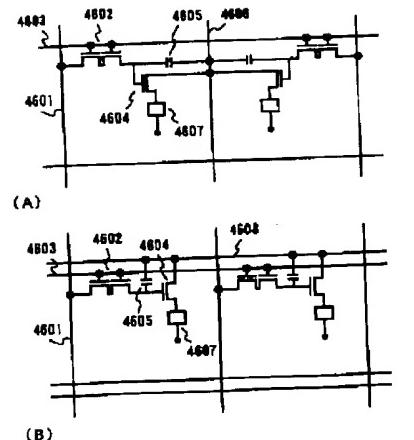
[図 18]



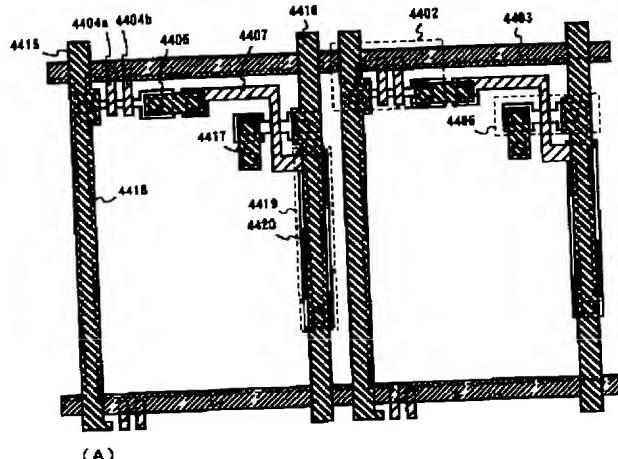
[図19]



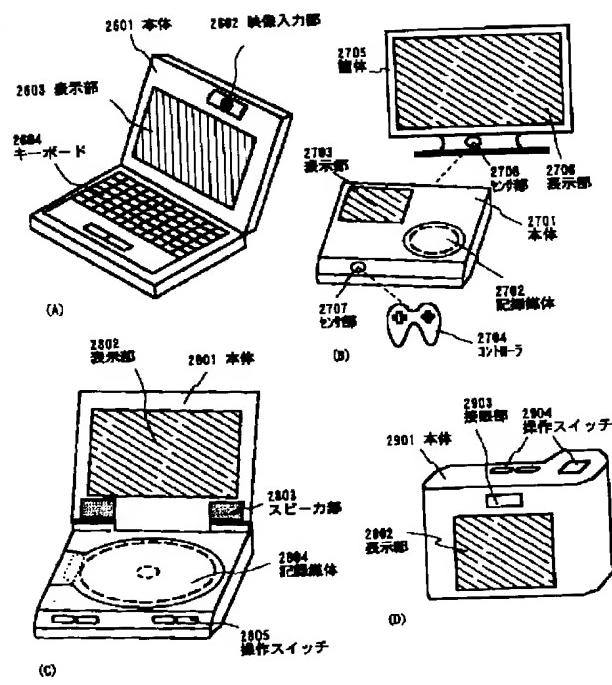
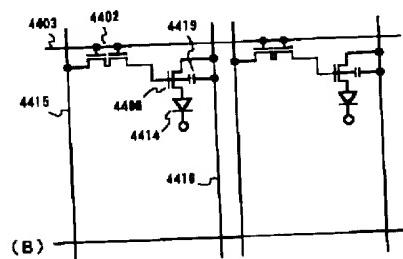
[图22]



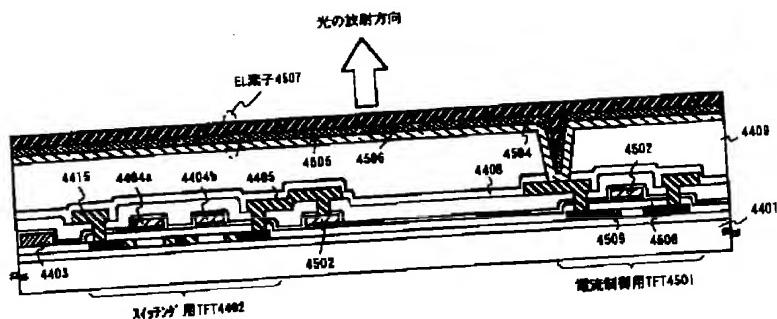
【图20】



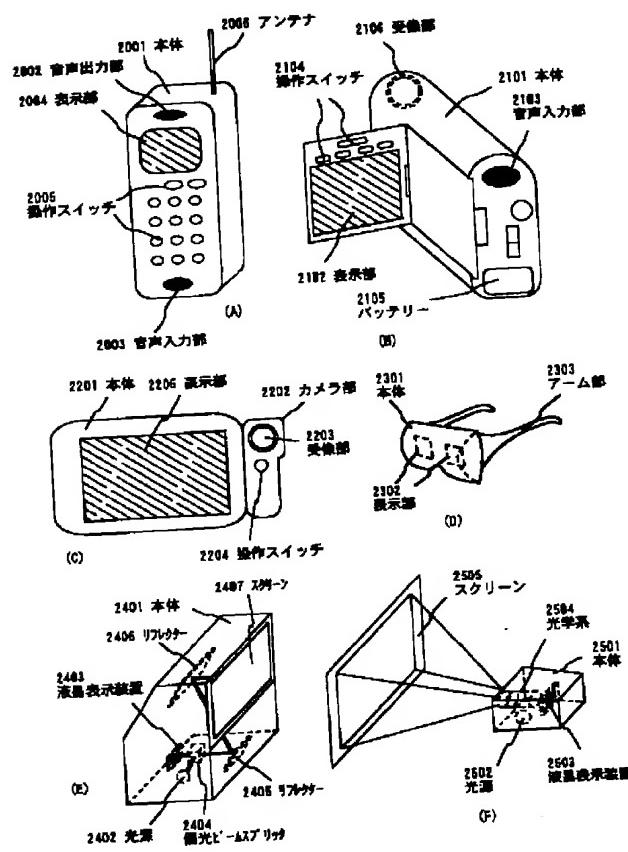
[図24]



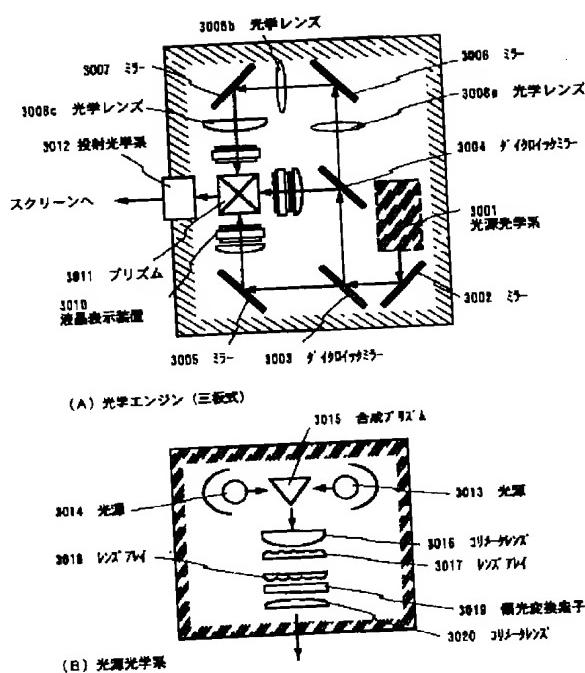
【図21】



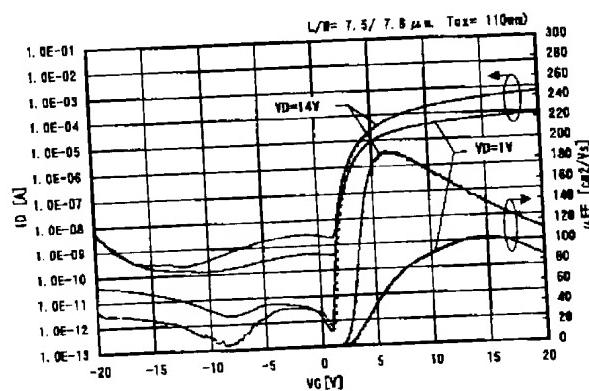
【図23】



【図25】



【図26】



フロントページの続き

(51) Int. Cl. 7
H 01 L 27/08
21/336

識別記号
3 3 1

F 1
G 02 F 1/136
H 01 L 29/78

テ-マコ-ド (参考)

5 0 0
6 1 6 A
6 1 6 V
6 1 7 A
6 1 9 B